

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   6 月 2 7 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 8 4 3 8 0  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 1 8 4 3 8 0 ]

出      願      人            富 士 通 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年   7 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号   出証特 2 0 0 3 - 3 0 5 5 7 3 0

【書類名】 特許願

【整理番号】 0340742

【提出日】 平成15年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体メモリ

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 神田 達哉

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 船生 明裕

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 佐藤 貴彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 奥山 好明

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 大野 潤

**【発明者】**

**【住所又は居所】** 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通  
株式会社内

**【氏名】** 池田 仁史

**【特許出願人】**

**【識別番号】** 000005223

**【氏名又は名称】** 富士通株式会社

**【代理人】**

**【識別番号】** 100072718

**【弁理士】**

**【氏名又は名称】** 古谷 史旺

**【電話番号】** 3343-2901

**【先の出願に基づく優先権主張】**

**【出願番号】** 特願2002-317238

**【出願日】** 平成14年10月31日

**【手数料の表示】**

**【予納台帳番号】** 013354

**【納付金額】** 21,000円

**【提出物件の目録】**

**【物件名】** 明細書 1

**【物件名】** 図面 1

**【物件名】** 要約書 1

**【包括委任状番号】** 9704947

**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体メモリ

【特許請求の範囲】

【請求項 1】 複数のメモリセル、前記メモリセルに接続されたビット線、および前記ビット線に接続されたセンスアンプを有するメモリコアと、

コマンド端子を介して供給されるアクセス要求に応答して前記メモリセルをアクセスするためのアクセス制御信号を出力するコマンド制御回路と、

所定の周期で内部リフレッシュ要求を生成するリフレッシュタイマと、

前記アクセス要求と前記内部リフレッシュ要求とが競合するときに、前記アクセス要求に応答するアクセス動作および前記リフレッシュ要求に応答するリフレッシュ動作の優先順を決め、この優先順にしたがってリフレッシュ制御信号およびアクセス制御信号を順次出力する裁定回路と、

前記アクセス制御信号に応答して前記メモリコアにアクセス動作を実行させ、前記リフレッシュ制御信号に応答して前記メモリコアにリフレッシュ動作を実行させる動作制御回路と、

試験モード中に動作し、前記内部リフレッシュ要求に対応する前記リフレッシュ動作が実行される前に新たな内部リフレッシュ要求が発生したときに、前記リフレッシュ動作の未実行を示す検出信号を出力する検出回路とを備えていることを特徴とする半導体メモリ。

【請求項 2】 請求項 1 記載の半導体メモリにおいて、

前記リフレッシュタイマは、前記試験モード中に、前記リフレッシュ要求の生成周期を変更するためのリフレッシュ調整信号を受けることを特徴とする半導体メモリ。

【請求項 3】 複数のメモリセル、前記メモリセルに接続されたビット線、および前記ビット線に接続されたセンスアンプを有するメモリコアと、

コマンド端子を介して供給されるアクセス要求に応答して前記メモリセルをアクセスするためのアクセス制御信号を出力するコマンド制御回路と、

所定の周期で内部リフレッシュ要求を生成するリフレッシュタイマと、

前記アクセス要求と前記内部リフレッシュ要求とが競合するときに、前記アク

セス要求に応答するアクセス動作および前記リフレッシュ要求に応答するリフレッシュ動作の優先順を決める裁定回路と、

前記リフレッシュ動作より優先して実行される前記アクセス動作の完了から所定期間内に次のアクセス要求を受けたときに、リフレッシュ中断信号を出力する中断回路と、

前記裁定回路が前記リフレッシュ要求の優先を決めたときに前記メモリコアのリフレッシュ動作を開始するとともに、前記リフレッシュ中断信号を受けたときに実行中のリフレッシュ動作を中断させ、前記裁定回路が前記アクセス要求の優先を決めたときに前記メモリコアにアクセス動作を実行させる動作制御回路と、

試験モード中に動作し、前記リフレッシュ中断信号に応答してリフレッシュ動作が中断したときに、検出信号を出力する中断検出回路とを備えていることを特徴とする半導体メモリ。

【請求項 4】 請求項 3 記載の半導体メモリにおいて、

前記メモリセルに接続されるワード線を有し、

前記所定期間は、前記動作制御回路がリフレッシュ制御信号を受けてから、リフレッシュ動作のために前記ワード線の活性化が開始されるまでの期間であることを特徴とする半導体メモリ。

【請求項 5】 請求項 1 または請求項 3 記載の半導体メモリにおいて、

前記検出信号を半導体メモリの外部に出力する外部端子を備えていることを特徴とする半導体メモリ。

【請求項 6】 請求項 5 記載の半導体メモリにおいて、

前記外部端子であるデータ端子と、

前記メモリセルからの読み出しデータを前記データ端子に出力するトライステート出力バッファと、

前記試験モード中に、前記検出信号に応答して前記読み出しデータの前記データ端子への出力を禁止するとともに前記データ端子をハイインピーダンス状態に設定するために、前記トライステート出力バッファを制御する出力マスク回路とを備えていることを特徴とする半導体メモリ。

【請求項 7】 請求項 1 または請求項 3 記載の半導体メモリにおいて、

前記試験モード中に、前記リフレッシュタイマから出力される前記内部リフレッシュ要求をマスクし、外部試験端子を介して供給される試験リフレッシュ要求を前記内部リフレッシュ要求の代わりに前記裁定回路に出力するリフレッシュ選択回路を備えていることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、メモリセルに書き込まれたデータを保持するために定期的リフレッシュ動作が必要な半導体メモリの試験技術に関する。特に、本発明は、外部からのリフレッシュコマンドを必要とせず、リフレッシュ動作を内部で自動的に実行する半導体メモリの試験技術に関する。

【0 0 0 2】

【従来の技術】

近年、携帯電話等のモバイル機器では、サービス機能が高度になってきており、扱われるデータ量は、増加の一途をたどっている。これに伴い、モバイル機器に搭載されるワークメモリの大容量化が要求されている。

従来、モバイル機器のワークメモリとして、システムの構成が容易なSRAMが使用されていた。しかし、SRAMは、1ビットのセルを構成する素子数がDRAMに比べて多いため、大容量化には不利である。このため、DRAMのメモリセルを有し、メモリセルのリフレッシュ動作を内部で自動的に実行することで、SRAMとして動作させる半導体メモリ（擬似SRAM）が開発されている。

【0 0 0 3】

この種の半導体メモリでは、1回のリフレッシュ動作を実行するためのリフレッシュ動作時間を、読み出しサイクル時間または書き込みサイクル時間に含めている。具体的には、リフレッシュ動作時間は、サイクル時間の前半に確保されている。実際の読み出し動作または書き込み動作は、サイクル時間の後半に実行される。このため、半導体メモリを搭載するシステム（ユーザ）は、半導体メモリのリフレッシュ動作を意識する必要がない。すなわち、ユーザは、この半導体メモリをSRAMとして使用できる。

**【0004】**

また、この種の半導体メモリでは、サイクル時間を短くするために、リフレッシュ動作時間を読み出し動作時間より短くしている。具体的には、リフレッシュ動作時のワード線の選択時間は、読み出し動作時のワード線の選択時間より短い（例えば、特許文献1参照）。

**【特許文献1】**

特公平7-58589号公報（2～3ページ、第4図）

**【0005】****【発明が解決しようとする課題】**

擬似SRAMは、上述したようにリフレッシュ動作を外部から認識されることなく自動的に実行する。一方、リフレッシュ動作が正しく実行されないと、メモリセルに保持されているデータは、破壊されてしまう。このため、リフレッシュ動作が正しく実行されることを評価する必要がある。特に、外部から供給される読み出し動作または書き込み動作の要求と、チップ内部で発生するリフレッシュ動作の要求とが競合するときの回路動作は、詳細に評価する必要がある。

**【0006】**

本発明の目的は、リフレッシュ動作を確実に実行するために、チップの内部状態を評価することにある。

本発明の別の目的は、チップ内部で自動的にリフレッシュ動作を実行する半導体メモリにおいて、リフレッシュ動作を確実に実行することにある。

本発明の別の目的は、アクセス動作とリフレッシュ動作とが競合するときのアクセスサイクルの実力値を簡易に試験し、その試験コストを削減することにある。

**【0007】****【課題を解決するための手段】**

請求項1の半導体メモリでは、メモリコアは、複数のメモリセル、メモリセルに接続されたビット線、およびビット線に接続されたセンスアンプを有している。コマンド制御回路は、コマンド端子を介して供給されるアクセス要求に応答してメモリセルをアクセスするためのアクセス制御信号を出力する。動作制御回路

は、アクセス制御信号に応答してメモリコアにアクセス動作を実行させる。

リフレッシュタイマは、所定の周期で内部リフレッシュ要求を生成する。裁定回路は、アクセス要求を内部リフレッシュ要求より優先させるときに、アクセス制御信号を出力した後に、リフレッシュ制御信号を出力する。また、裁定回路は、内部リフレッシュ要求をアクセス要求より優先させるときに、リフレッシュ制御信号を出力した後に、アクセス制御信号を出力する。このように、半導体メモリは、自身が発生するリフレッシュ要求に応じて、外部に認識されることなくリフレッシュ動作を自動的に実行する。

#### 【0008】

検出回路は、試験モード中に動作し、内部リフレッシュ要求に対応するリフレッシュ動作が実行される前に新たな内部リフレッシュ要求が発生したときに、リフレッシュ動作の未実行を示す検出信号を出力する。例えば、アクセス要求間隔が短く、アクセス動作の間にリフレッシュ動作を挿入できないときに、検出信号が出力される。すなわち、アクセス要求の最小供給間隔を評価できる。この結果、評価時間を短縮でき、半導体メモリの開発期間を短縮できる。すなわち、開発コストを削減できる。あるいは、量産している半導体メモリにおいて、製造条件の変動等により不良が発生したときに、不良解析を迅速に実施でき、歩留の低下期間を最小限にすることができる。

#### 【0009】

請求項2の半導体メモリでは、リフレッシュタイマは、試験モード中に、リフレッシュ要求の生成周期を変更するためのリフレッシュ調整信号を受ける。このため、通常の動作時に動作する回路を用いて、半導体メモリチップの内部で所望のタイミングを有するリフレッシュ要求を発生させることができる。したがって、半導体メモリの実際の回路動作と同じ状態で、リフレッシュ特性を評価できる。

#### 【0010】

請求項3の半導体メモリでは、メモリコアは、複数のメモリセル、メモリセルに接続されたビット線、およびビット線に接続されたセンスアンプを有している。コマンド制御回路は、コマンド端子を介して供給されるアクセス要求に応答し



てメモリセルをアクセスするためのアクセス制御信号を出力する。リフレッシュタイマは、所定の周期で内部リフレッシュ要求を生成する。

#### 【0011】

裁定回路は、アクセス要求と内部リフレッシュ要求とが競合するときに、アクセス要求に応答するアクセス動作およびリフレッシュ要求に応答するリフレッシュ動作の優先順を決める。中断回路は、リフレッシュ動作より優先して実行されるアクセス動作の完了から所定期間内に次のアクセス要求を受けたときに、リフレッシュ中断信号を出力する。

#### 【0012】

動作制御回路は、裁定回路がリフレッシュ要求の優先を決めたときにメモリアのリフレッシュ動作を開始する。このように、半導体メモリは、自身が発生するリフレッシュ要求に応じて、外部に認識されることなくリフレッシュ動作を自動的に実行する。動作制御回路は、リフレッシュ中断信号を受けたときに実行中のリフレッシュ動作を中断する。例えば、アクセス要求間隔が短く、アクセス動作の間にリフレッシュ動作を完了できないときに、リフレッシュ動作は中断される。動作制御回路は、裁定回路がアクセス要求の優先を決めたときにメモリアにアクセス動作を実行させる。

#### 【0013】

中断検出回路は、試験モード中に動作し、リフレッシュ中断信号に応答してリフレッシュ動作が中断したときに、検出信号を出力する。中検出信号の出力により、アクセス動作の間に開始したリフレッシュ動作が完了できないことを検出することで、アクセス要求の最小供給間隔を評価できる。この結果、評価時間を短縮でき、半導体メモリの開発期間を短縮できる。すなわち、開発コストを削減できる。あるいは、量産している半導体メモリにおいて、製造条件の変動等により不良が発生したときに、不良解析を迅速に実施でき、歩留の低下期間を最小限にすることができる。

#### 【0014】

請求項4の半導体メモリでは、半導体メモリは、メモリセルに接続されるワード線を有している。中断回路が設定する所定期間は、動作制御回路がリフレッシュ

制御信号を受けてから、リフレッシュ動作のためにワード線の活性化が開始されるまでの期間である。リフレッシュ動作の中断を、ワード線が活性化される前に判定することで、リフレッシュされるメモリセル内のデータが破壊されることを防止できる。

#### 【0015】

請求項5の半導体メモリでは、検出回路により検出される検出信号は、外部端子を介して半導体メモリの外部に出力される。このため、例えば、半導体メモリを評価するための評価装置により検出信号を検出することで、アクセス要求の最小供給間隔を正確に評価できる。

請求項6の半導体メモリでは、トライステート出力バッファは、メモリセルからの読み出しデータをデータ端子に出力する。出力マスク回路は、試験モード中に、トライステート出力バッファを制御することで、検出信号に応答して読み出しデータのデータ端子への出力を禁止し、データ端子をハイインピーダンス状態に設定する。このため、半導体メモリに接続される評価装置は、データ端子のハイインピーダンス状態を測定することで検出信号を検出できる。例えば、評価装置としてLSIテスタを使用し、アクセス時間の評価用プログラムを利用してパス/フェイル判定をすることで、容易に検出信号の発生を検出できる。すなわち、アクセス要求の最小供給間隔を容易に評価できる。また、データ端子を外部端子として使用することで、データ端子を試験端子として兼用できる。このため、新たな端子を形成することが不要になり、チップサイズの増加を防止できる。

#### 【0016】

請求項7の半導体メモリでは、リフレッシュ選択回路は、試験モード中に、外部試験端子を介して供給される試験リフレッシュ要求を内部リフレッシュ要求の代わりにリフレッシュ制御回路に出力する。このとき、リフレッシュタイマから出力される内部リフレッシュ要求はマスクされる。このため、所望のタイミングを有するリフレッシュ要求を、半導体メモリの外部から供給できる。したがって、半導体メモリの通常動作では起こらないタイミングの信号を生成でき、試験を詳細かつ効率よく実施できる。

#### 【0017】

**【発明の実施の形態】**

以下、本発明の実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数ビットで構成されている。図中の二重丸は、外部端子を示している。図中の二重の四角は、試験パッドを示している。試験パッドは、出荷する製品の外部端子（リードフレーム等）には接続されない。試験パッドは、例えば、プローブ試験においてプローバに接続され、試験パターンを受信する。先頭に"/"の付いている信号および末尾に"X"の付いている信号は、負論理を示している。末尾に"Z"の付いている信号は、正論理を示している。

**【0 0 1 8】**

図 1 は、本発明の半導体メモリの第 1 の実施形態を示している。この半導体メモリは、DRAMのメモリセル（ダイナミックメモリセル）を有し、SRAMのインタフェースを有する擬似SRAMとして形成されている。擬似SRAMは、外部からリフレッシュコマンドを受けることなく、チップ内部で定期的にはリフレッシュ動作を実行し、メモリセルに書き込まれたデータを保持する。この擬似SRAMは、例えば、携帯電話に搭載されるワークメモリに使用される。

**【0 0 1 9】**

擬似SRAMは、アクセスタイミング生成回路 1 0、コマンドデコーダ 1 2、リフレッシュ選択回路 1 4、リフレッシュタイマ 1 6、リフレッシュカウンタ 1 8、アドレス入力回路 2 0、スイッチ回路 2 2、データ出力回路 2 4、データ入力回路 2 6、裁定回路 2 8、リフレッシュ判定回路 3 0、ロウ動作制御回路 3 2、コア制御回路 3 4、およびメモリコア 3 6 を有している。

**【0 0 2 0】**

アクセスタイミング生成回路 1 0 は、コマンド端子CMDを介して外部からコマンド信号CMD（チップイネーブル信号/CE、アウトプットイネーブル信号/OEおよびライトイネーブル信号/WE等）を受け、読み出し動作または書き込み動作を実行するためのアクセスタイミング信号ATDPZ等を出力する。

コマンドデコーダ 1 2 は、コマンド信号CMDを解釈し、読み出し動作を実行するための読み出し制御信号RDZまたは書き込み動作を実行するための書き込み制御信号WRZを出力する。

**【0021】**

リフレッシュ選択回路14は、通常動作モード中に、リフレッシュタイマ16から出力される内部リフレッシュ要求信号IREFZをリフレッシュタイミング信号SRTPZとして出力する。リフレッシュ選択回路14は、試験モード中に、外部試験端子SRCを介して擬似SRAMの外部から供給される試験リフレッシュ要求信号EREFZをリフレッシュタイミング信号SRTPZとして出力する。すなわち、試験モード中、リフレッシュタイマ16から出力される内部リフレッシュ要求信号IREFZはマスクされ、内部リフレッシュ要求信号IREFZの代わりに試験リフレッシュ要求信号EREFZが、リフレッシュタイミング信号SRTPZとして出力される。

**【0022】**

なお、擬似SRAMは、通常動作では使用しない組み合わせの複数のコマンド信号CMDを受信することで、通常動作モードから試験モードに移行する。擬似SRAMは、試験モード中、試験信号TESTZを高レベルに保持する。

リフレッシュタイマ16は、内部リフレッシュ要求信号IREFZを所定の周期で出力する。内部リフレッシュ要求信号IREFZは、メモリセルMCに保持されたデータを失うことなく、メモリセルMCを順次リフレッシュできる周期で生成される。例えば、全てのメモリセルMCが、300ms以内に1回リフレッシュされるように、内部リフレッシュ要求信号IREFZの生成周期が設定されている。より詳細には、リフレッシュ要求毎に順次選択される8k本のワード線WLが配線されている場合、内部リフレッシュ要求信号IREFZは、36～37 $\mu$ s毎に生成される。リフレッシュタイマ16は、例えば、発振周期が1 $\mu$ sのリングオシレータと、リングオシレータの出力から内部リフレッシュ要求信号IREFZを生成するための分周回路とで構成されている。

**【0023】**

リフレッシュカウンタ18は、内部リフレッシュ要求信号IREFZに応答してカウント動作し、リフレッシュアドレス信号REFADを順次生成する。

アドレス入力回路20は、アドレス端子ADDを介してアドレス信号ADDを受信し、受信した信号をロウアドレス信号RAD（上位アドレス）およびコラムアドレス信号CAD（下位アドレス）として出力する。なお、擬似SRAMは、上位アドレスと

下位アドレスを同時に受信するアドレス非多重式のメモリである。

#### 【0 0 2 4】

スイッチ回路 2 2 は、リフレッシュ動作が実行されるときにリフレッシュアドレス信号REFADを内部ロウアドレス信号IRADとして出力し、読み出し動作または書き込み動作が実行されるときに、ロウアドレス信号RADを内部ロウアドレス信号IRADとして出力する。

データ出力回路 2 4 は、メモリセルMCからの読み出しデータをコモンデータバスCDBを介して受信し、受信したデータをデータ端子DQ (DQ0-7) に出力する。また、データ出力回路 2 4 は、試験モード中に、リフレッシュ判定回路 3 0 から出力されるスキップ信号SKIPZ (検出信号) を受けたときに、データ端子DQ0-7をハイインピーダンス状態に設定する。

#### 【0 0 2 5】

データ入力回路 2 6 は、書き込みデータをデータ端子DQ (DQ0-7) を介して受信し、受信したデータをコモンデータバスCDBに出力する。

裁定回路 2 8 は、アクセスタイミング信号ATDPZ (アクセス要求) とリフレッシュタイミング信号SRTPZ (リフレッシュ要求) の遷移エッジを比較することで、これ等要求の競合を判断し、アクセス動作およびリフレッシュ動作のいずれを優先させるかを決める。裁定回路 2 8 は、アクセス動作が優先される場合、リフレッシュタイミング信号SRTPZを一時保持し、読み出し制御信号RDZまたは書き込み制御信号WRZに応答して読み出しタイミング信号RDPZまたは書き込みタイミング信号WRPZを出力する。この後、裁定回路 2 8 は、コアサイクル状態信号ICSXの非活性化 (高レベルへの変化) によりアクセス動作の完了を検出し、保持しているリフレッシュタイミング信号SRTPZに応じてリフレッシュ開始信号REFPZを出力し、リフレッシュ状態信号REFZ (リフレッシュ制御信号) を出力する。リフレッシュ状態信号REFZは、リフレッシュ動作が実行中であることを示す信号である。

#### 【0 0 2 6】

また、裁定回路 2 8 は、リフレッシュ動作が優先される場合、アクセスタイミング信号ATDPZを一時保持し、リフレッシュタイミング信号SRTPZに応答してリフレッシュ開始信号REFPZおよびリフレッシュ状態信号REFZを出力する。この後、

裁定回路 28 は、コアサイクル状態信号 ICSX の非活性化（高レベルへの変化）によりリフレッシュ動作の完了を検出し、保持しているアクセスタイミング信号 ATDPZ に応じて、読み出しタイミング信号 RDPZ または書き込みタイミング信号 WRPZ を出力する。

#### 【0027】

リフレッシュ判定回路（検出回路）30 は、試験モード中（TESTZ＝高レベル）に、リフレッシュタイミング信号 SRTPZ に対応するリフレッシュ状態信号 REFZ を受信する前に、次のリフレッシュタイミング信号 SRTPZ を受信したときに、スキップ信号 SKIPZ（検出信号）を出力する。換言すれば、スキップ信号 SKIPZ は、リフレッシュ要求（IREFZ または EREFZ）に対応するリフレッシュ動作が実行される前に、次のリフレッシュ要求が発生したときに出力される。

#### 【0028】

アクセスタイミング生成回路 10、コマンドデコーダ 12、および裁定回路 28 は、コマンド端子 CMD を介して供給されるアクセス要求信号（読み出しコマンドまたは書き込みコマンド）に応答して、後述するメモリセル MC をアクセスするためのアクセス制御信号（読み出しタイミング信号 RDPZ または書き込みタイミング信号 WRPZ）を出力するコマンド制御回路として動作する。

#### 【0029】

ロウ動作制御回路 32 は、読み出しタイミング信号 RDPZ、書き込みタイミング信号 WRPZ、またはリフレッシュタイミング信号 SRTPZ を受けたときに、メモリコア 36 を動作させる基本タイミング信号であるロウ制御信号 RASZ を出力する。ロウ動作制御回路 32 は、メモリコア 36 の動作中に、コアサイクル状態信号 ICSX を低レベルに保持する。

#### 【0030】

コア制御回路 34 は、図示しないワード線制御回路、センスアンプ制御回路およびプリチャージ制御回路を有している。ワード線制御回路は、後述するワード線 WL を選択するワード線制御信号 TWZ を、ロウ制御信号 RASZ に応答して出力する。センスアンプ制御回路は、後述するセンスアンプ部 SA のセンスアンプを活性化するためのセンスアンプ活性化信号 LEZ を、ロウ制御信号 RASZ に応答して出力す

る。プリチャージ制御回路は、ビット線BL、/BLが使用されないときに、ビット線リセット信号BRSを出力する。

#### 【0031】

ロウ動作制御回路32およびコア制御回路34は、読み出しタイミング信号RD PZ（アクセス制御信号）または書き込みタイミング信号WRPZ（アクセス制御信号）に応答してメモリコア36にアクセス動作を実行させ、第1および第2リフレッシュ制御信号REFZに応答して、メモリコア36に第1および第2リフレッシュ動作を実行させる動作制御回路として動作する。

#### 【0032】

メモリコア36は、メモリセルアレイARY、ワードデコーダ部WDEC、センスアンプ部SA、コラムデコーダ部CDEC、センスバッファ部SB、およびライトアンプ部WAを有している。メモリセルアレイARYは、複数の揮発性のメモリセルMC（ダイナミックメモリセル）と、メモリセルMCに接続された複数のワード線WLおよび複数のビット線BL、/BL（相補のビット線）とを有している。各メモリセルMCは、一般のDRAMのメモリセルと同じであり、データを電荷として保持するためのキャパシタと、このキャパシタとビット線BL（または/BL）との間に配置された転送トランジスタとを有している。転送トランジスタのゲートは、ワード線WLに接続されている。ワード線WLの選択により、読み出し動作、書き込み動作、およびリフレッシュ動作のいずれかが実行される。メモリセルアレイARYは、読み出し動作、書き込み動作およびリフレッシュ動作のいずれかを実行した後、ビット線リセット信号BRSに応答してビット線BL、/BLを所定の電圧にプリチャージするプリチャージ動作を実行する。

#### 【0033】

ワードデコーダ部WDECは、高レベルのワード線制御信号TWZを受けたとき、内部ロウアドレス信号IRADに応じてワード線WLのいずれかを選択し、選択したワード線WLを高レベルに変化させる。コラムデコーダ部CDECはコラムアドレス信号CADに応じて、ビット線BL、/BLとデータバスDBとをそれぞれ接続するコラムスイッチをオンさせるコラム線信号を出力する。

#### 【0034】

センスアンプ部SAは、複数のセンスアンプを有している。各センスアンプは、センスアンプ活性化信号LEZに応答して動作し、ビット線BL、/BL上のデータの信号量を増幅する。センスアンプで増幅されたデータは、読み出し動作時にコラムスイッチを介してデータバスDBに伝達され、書き込み動作時にビット線を介してメモリセルMCに書き込まれる。

#### 【0 0 3 5】

センスバッファ部SBは、データバスDB上の読み出しデータの信号量を増幅し、コモンデータバスCDBに出力する。ライトアンプ部WAは、コモンデータバスCDB上の書き込みデータの信号量を増幅し、データバスDBに出力する。

図2は、図1に示したリフレッシュ判定回路30の詳細を示している。

リフレッシュ判定回路30は、リフレッシュラッチ回路38およびスキップ検出回路40を有している。

#### 【0 0 3 6】

リフレッシュラッチ回路38は、試験モード中（TESTZ＝高レベル）に、リフレッシュタイミング信号SRTPZに応答して遅延回路DLYの遅延時間後にウェイト信号WAITZを高レベルに変化させ、リフレッシュ状態信号REFZに応答してウェイト信号WAITZを低レベルに変化させる。スキップ検出回路40は、ウェイト信号WAITZが高レベルの期間にリフレッシュタイミング信号SRTPZを受けたときに、スキップ信号SKIPZを出力する。すなわち、スキップ信号SKIPZは、リフレッシュ要求（SRTPZ）に対応するリフレッシュ動作（REFZ）の実行前（開始前）に新たなリフレッシュ要求が発生したときに、高レベルに変化する。

#### 【0 0 3 7】

図3は、図1に示したデータ出力回路24の詳細を示している。

データ出力回路24は、出力マスク回路42および出力バッファ回路44を有している。なお、図3では、データ端子DQ0に対応する出力バッファ回路44を示す。他のデータ端子DQ1-7に対応する出力バッファ回路は、出力バッファ回路44と同じである。出力マスク回路42は、データ端子DQ0-7に対応する出力バッファ回路44に共通の回路である。

#### 【0 0 3 8】



出力マスク回路 4 2 は、高レベルのリセット信号 RESETZ によりリセットされ、読み出しタイミング信号 READZ を反転して出力イネーブル信号 ODEX として出力する。出力マスク回路 4 2 は、高レベルのスキップ信号 SKIPZ を受けたときに、読み出しタイミング信号 READZ の出力を禁止する。すなわち、出力イネーブル信号 ODEX は、高レベルのスキップ信号 SKIPZ により高レベルに保持される。

#### 【0 0 3 9】

出力バッファ回路 4 4 は、出力イネーブル信号 ODEX が低レベルのときに、読み出しデータ DATA0X の論理レベルに応じて、トライステート出力バッファ 4 4 a を動作させ、データ端子 DQ0 に高レベルまたは低レベルを出力する。出力バッファ回路 4 4 は、出力イネーブル信号 ODEX が高レベルのとき、トライステート出力バッファ 4 4 a の出力をハイインピーダンス状態にする。すなわち、出力マスク回路 4 2 は、試験モード中に、スキップ信号 SKIPZ に応答して読み出しデータ DATA0X のデータ端子 DQ0 への出力を禁止するとともにデータ端子 DQ0 をハイインピーダンス状態に設定するために、トライステート出力バッファ 4 4 a を制御する。

#### 【0 0 4 0】

図 4 は、第 1 の実施形態におけるメモリセルアレイ ARY の基本動作を示している。

この実施形態では、書き込み動作 WR および読み出し動作 RD は、同じサイクル時間  $t_{RC}$  で実行される。リフレッシュ動作 REF は、サイクル時間  $t_{RC}$  より短いサイクル時間  $t_{RCr}$  で実行される（ショートリフレッシュ動作）。書き込み動作 WR、読み出し動作 RD、およびリフレッシュ動作 REF は、いずれも読み出し工程 RP、増幅工程 AP、およびプリチャージ工程 PP から構成される。

#### 【0 0 4 1】

読み出し工程 RP は、ワード線 WL の活性化（選択）に応答して選択されるメモリセル MC からビット線 BL（または /BL）にデータを読み出す期間である。増幅工程 AP は、ビット線 BL（または /BL）にデータが読み出された後に、センスアンプ活性化信号 LEZ に応答してセンスアンプが活性化されてビット線 BL、/BL の電圧差（データ）が増幅され、増幅されたビット線 BL、/BL の電圧がデータを読み出したメモリセル MC に再書き込みされる期間である。プリチャージ工程 PP は、ワード線 WL

を非活性化（非選択）し、ビット線BL、/BLを所定の電圧にプリチャージする期間である。

#### 【0042】

書き込み動作WRでは、メモリセルMCから読み出されビット線BL、/BL上で増幅されたデータを、書き込みデータで反転する必要がある。このため、書き込み動作WRのサイクル時間は、他の動作に比べて長くなる。このため、読み出し動作RDは、書き込み動作WRに比べサイクル時間を短くできる。しかし、ユーザの使い勝手を考慮して、読み出し動作RDおよび書き込み動作WRのサイクル時間 $t_{RC}$ は同じ値に設定されている。

#### 【0043】

一方、リフレッシュ動作REFでは、ビット線BL、/BLをデータバスDBに接続する必要がなく、ビット線BL、/BL上でデータを反転する必要もない。このため、リフレッシュ動作REFのサイクル時間 $t_{RCr}$ がサイクル時間 $t_{RC}$ より短くても、メモリセルMCに保持されていたデータは、再びメモリセルMCにフル書き込み可能である。フル書き込みにより、各メモリセルMCのデータ保持時間（ポーズ時間）は、300ms以上になる。

#### 【0044】

擬似SRAMにおいて、リフレッシュ動作REFは、ユーザに認識されることなく実行される。このため、リフレッシュ動作REFのサイクル時間 $t_{RCr}$ が読み出し動作RDおよび書き込み動作WRのサイクル時間 $t_{RC}$ と異なっても、ユーザの使い勝手は低下することはない。擬似SRAMの内部で自動的に実行されるリフレッシュ動作REFのサイクル時間 $t_{RCr}$ を短くすることで、アクセス時間を短縮できる。

#### 【0045】

図5は、第1の実施形態における通常動作モードでの動作例を示している。

この例では、2回の読み出し動作RDが連続して実行され、最初の読み出しコマンドRDと内部リフレッシュ要求信号IREFZとが、ほぼ同時に発生する。

まず、図1に示したアクセスタイミング生成回路10は、低レベルのチップイネーブル信号/CE および図示しない低レベルのアウトプットイネーブル信号/OEを受け、アクセスタイミング信号ATDPZを出力する（図5（a））。コマンドデ

コード12は、低レベルのチップイネーブル信号/CE および図示しない低レベルのアウトプットイネーブル信号/OE、高レベルのライトイネーブル信号/WEを受け、読み出しコマンドRD（読み出しアクセス要求）が供給されたことを検出し、読み出し制御信号RDZを出力する（図5（b））。

#### 【0046】

図2に示したリフレッシュタイマ16は、読み出しコマンドRDの供給とほぼ同時に内部リフレッシュ要求信号IREFZを出力する。リフレッシュ選択回路14は、内部リフレッシュ要求信号IREFZに応答してリフレッシュタイミング信号SRTPZを出力する（図5（c））。

裁定回路28は、リフレッシュ動作を読み出し動作より優先して実行することを判定し、リフレッシュ開始信号REFPZおよびリフレッシュ状態信号REFZ（第1リフレッシュ制御信号）を順次出力する（図5（d））。スイッチ回路22は、ショートリフレッシュ動作を実行するために、リフレッシュアドレス信号REFAD（RA1）をロウアドレス信号IRADとして出力する（図5（e））。

#### 【0047】

なお、裁定回路28は、リフレッシュ要求と読み出し要求の裁定結果に応じて、リフレッシュマスク信号REFMSKZを出力する（図5（f））。リフレッシュマスク信号REFMSKZは、裁定回路28内で使用される制御信号である。リフレッシュマスク信号REFMSKZの高レベル期間は、読み出し動作または書き込み動作の実行により、リフレッシュ動作が実行できない期間を示す。裁定回路28は、リフレッシュマスク信号REFMSKZの高レベル中、リフレッシュ状態信号REFZの出力開始を禁止し、リフレッシュ動作の実行をマスクする。

#### 【0048】

ロウ動作制御回路32は、リフレッシュ開始信号REFPZに同期してロウ制御信号RASZを出力する（図5（g））。コア制御回路34は、ロウ制御信号RASZに응答してワード線制御信号TWZ等を出力する。そして、図4に示したリフレッシュ動作REFが、読み出し動作RDの前に実行される（図5（h））。ロウ動作制御回路32は、リフレッシュ動作REFの実行中にコアサイクル状態信号ICSXを低レベルに変化させる（図5（i））。

**【 0 0 4 9 】**

裁定回路 2 8 は、リフレッシュ動作 REF の実行後、リフレッシュ状態信号 REFZ を低レベルに変化させる（図 5（j））。スイッチ回路 2 2 は、読み出し動作を実行するために、アドレス信号 ADD（AD1）をロウアドレス信号 IRAD として出力する（図 5（k））。

裁定回路 2 8 は、コアサイクル状態信号 ICSX の立ち上がりエッジに応答して読み出しタイミング信号 RDPZ を出力する（図 5（l））。ロウ動作制御回路 3 2 は、読み出しタイミング信号 RDPZ に同期してロウ制御信号 RASZ を出力する（図 5（m））。コア制御回路 3 4 は、ロウ制御信号 RASZ に応答してワード線制御信号 TWZ 等を出力する。そして、図 4 に示した読み出し動作 RD が実行される（図 5（n））。読み出し動作 RD によりビット線 BL、/BL 上で増幅された読み出しデータ D0 は、コモンデータバス CDB を介してデータ端子 DQ に出力される（図 5（o））。

**【 0 0 5 0 】**

リフレッシュ動作 REF は、図 4 に示したように読み出し動作 RD および書き込み動作 WR に比べ短期間で終了する。このため、リフレッシュ要求がアクセス要求と競合し、リフレッシュ要求が優先される場合にもアクセス要求に対応するアクセス動作を早く開始できる。すなわち、チップイネーブル信号 /CE の立ち下がりエッジからデータ端子 DQ にデータが出力されるまでのチップイネーブルアクセス時間を短縮できる。

**【 0 0 5 1 】**

次に、擬似 SRAM は、読み出しコマンド（低レベルのチップイネーブル信号 /CE および図示しない低レベルのアウトプットイネーブル信号 /OE、高レベルのライトイネーブル信号 /WE）を受信する（図 5（p））。アクセスタイミング生成回路 1 0 は、読み出しコマンドに응答して、アクセスタイミング信号 ATDPZ を出力する（図 5（q））。コマンドデコーダ 1 2 は、低レベルのチップイネーブル信号 /CE および図示しない低レベルのアウトプットイネーブル信号 /OE、高レベルのライトイネーブル信号 /WE を受け、読み出しコマンド RD（読み出しアクセス要求）が供給されたことを検出し、読み出し制御信号 RDZ を出力する（図 5（r））。

**【0 0 5 2】**

裁定回路 2 8 は、コアサイクル状態信号 ICSX が高レベルに応じて所定時間後に読み出しタイミング信号 RDPZ を出力する（図 5（s））。ロウ動作制御回路 3 2 は、読み出しタイミング信号 RDPZ に同期してロウ制御信号 RASZ を出力する（図 5（t））。コア制御回路 3 4 は、ロウ制御信号 RASZ に応答してワード線制御信号 TWZ 等を出力する。そして、アドレス信号 AD2 に対応する読み出し動作 RD が実行される（図 5（u））。読み出し動作 RD によりビット線 BL、/BL 上で増幅された読み出しデータ D1 は、コモンデータバス CDB を介してデータ端子 DQ に出力される（図 5（v））。

**【0 0 5 3】**

なお、この擬似 SRAM は、リフレッシュ動作 REF の実行時間、および 1 回のアクセス動作（読み出し動作 RD または書き込み動作 WR）の実行時間の和が、アクセス要求の最小供給間隔である外部アクセスサイクル時間の 1 回分より小さくなるように設計されている。このため、1 回の外部アクセスサイクル時間の間に、リフレッシュ動作 REF と、1 回の読み出し動作 RD（または書き込み動作 WR）とを実行できる。すなわち、擬似 SRAM は、リフレッシュ動作を外部から認識されることなく実行できる。

**【0 0 5 4】**

図 6 は、第 1 の実施形態における通常動作モードでの別の動作例を示している。図 5 と同じ動作については、詳細な説明を省略する。

この例では、書き込み動作 WR および読み出し動作 RD が連続して実行され、書き込みコマンドと内部リフレッシュ要求信号 IREFZ とが、ほぼ同時に発生する。

リフレッシュタイマ 1 6 は、書き込みコマンド WR の供給とほぼ同時に内部リフレッシュ要求信号 IREFZ を出力する（図 6（a））。裁定回路 2 8 は、リフレッシュ動作を書き込み動作より優先して実行することを判定し、リフレッシュ開始信号 REFPZ およびリフレッシュ状態信号 REFZ を順次出力する（図 6（b）、（c））。

**【0 0 5 5】**

そして、図 5 と同様に、リフレッシュ動作 REF、書き込み動作 WR（アクセス動

作)、および読み出し動作RD(アクセス動作)が順次実行される(図6(d)、(e)、(f))。

図7は、第1の実施形態における通常動作モードでの別の動作例を示している。図5と同じ動作については、詳細な説明を省略する。

#### 【0056】

この例では、2回の読み出し動作RDが連続して実行され、最初の読み出しコマンドRDの供給後に内部リフレッシュ要求信号IREFZが発生する(図7(a))。

裁定回路28は、リフレッシュタイミング信号SRTPZを受信する前にアクセスタイミング信号ATDPZを受信する。このため、裁定回路28は、読み出し動作をリフレッシュ動作より優先して実行することを判定する(REFMSKZ信号=高レベル)。そして、裁定回路28は、リフレッシュ開始信号REFPZおよびリフレッシュ状態信号REFZを出力することなく、読み出しタイミング信号RDPZを出力する(図7(b))。アドレスAD1に対応する読み出し動作RDが、リフレッシュ動作に優先して実行される(図7(c))。

#### 【0057】

裁定回路28は、読み出し動作RDの完了に伴うコアサイクル状態信号ICSXの立ち上がりエッジに同期して、リフレッシュ開始信号REFPZを出力する(図7(d))。裁定回路28は、リフレッシュマスク信号REFMSKZが低レベルのため、リフレッシュ状態信号REFZを出力する(図7(e))。そして、図5と同様に、リフレッシュ動作REFおよびアドレスAD2に対応する読み出し動作RDが順次実行される(図7(f)、(g))。このように、裁定回路28は、読み出しコマンドRD(アクセス要求)を内部リフレッシュ要求信号IREFZより優先させるときに、読み出しタイミング信号RDPZを出力した後に、リフレッシュ状態信号REFZ(第2リフレッシュ制御信号)を出力する。

#### 【0058】

図8は、第1の実施形態における試験モードでの動作例を示している。図5および図7と同じ動作については、詳細な説明を省略する。この例では、擬似SRAMは、予め通常動作モードから試験モードに移行している。試験モードは、例えば、擬似SRAMの開発時の特性評価において使用される。特性評価は、ウエハ状態の

擬似SRAMをプローバに接続し、LSI テスタから擬似SRAMに試験パターンを入力することで実施される。

#### 【0059】

試験モードでは、アクセス要求が連続して供給され、アクセス動作が実行される場合に、リフレッシュ動作をアクセス動作の間に挿入可能なアクセス要求の最小供給間隔が求められる。図8の基本的なタイミングは、上述した図7と同じである。すなわち、この例では、リフレッシュ動作は、アクセス動作の間に挿入できる。

#### 【0060】

試験モードでは、図1に示したリフレッシュ選択回路14は、リフレッシュタイマ16から出力される内部リフレッシュ要求信号IREFZをマスクし、試験端子SRCを介してLSI テスタから供給される試験リフレッシュ要求信号EREFZを内部リフレッシュ要求信号IREFZの代わりに受信し、リフレッシュタイミング信号SRT PZとして出力する(図8(a))。試験リフレッシュ要求信号EREFZは、読み出しコマンドRDの供給後に供給される。

#### 【0061】

図2に示したリフレッシュ判定回路30のリフレッシュラッチ回路38は、高レベルのリフレッシュタイミング信号SRT PZおよび試験信号TESTZに応答して、遅延回路DLYの遅延時間後にウェイト信号WAITZを高レベルに変化させる(図8(b))。

試験リフレッシュ要求信号EREFZが読み出しコマンドRDの供給後に供給されるため、リフレッシュ動作REFの前に読み出し動作が実行される(図8(c))。裁定回路28は、読み出し動作RDの完了に伴うコアサイクル状態信号ICSXの立ち上がりエッジに同期して、リフレッシュ開始信号REFPZを出力する(図8(d))。裁定回路28は、読み出し動作RDの完了に応答してリフレッシュマスク信号REFMSKZを低レベルに変化させる(図8(e))。リフレッシュマスク信号REFMSKZが低レベルのため、リフレッシュ状態信号REFZが出力される(図8(f))。そして、図5と同様に、リフレッシュ動作REFが、実行される(図8(g))。リフレッシュラッチ回路38は、リフレッシュ状態信号REFZに応答して、ウェイ

ト信号WAITZを低レベルに変化させる（図8（h））

次に、擬似SRAMは、読み出しコマンドを受信する。アクセスタイミング生成回路10およびコマンドデコーダ12は、読み出しコマンドに応答して、アクセスタイミング信号ATDPZおよび読み出し制御信号RDZを出力する（図8（i））。判定回路30は、リフレッシュ動作の完了に同期して読み出しタイミング信号RDPZを出力する（図8（j））。そして、読み出し動作が開始される（図8（k））。

#### 【0062】

擬似SRAMは、読み出しタイミング信号RDPZの生成直後に、LSIテストからの試験リフレッシュ要求信号EREFZを受信する。試験リフレッシュ要求信号EREFZに同期してリフレッシュタイミング信号SRTPZが出力される（図8（l））。試験モードでは、所望のタイミングを有するリフレッシュ要求（試験リフレッシュ要求信号EREFZ）を、擬似SRAMの外部から供給できる。この結果、擬似SRAMの通常動作では起こらないタイミングの信号を生成でき、試験を詳細かつ効率よく実施できる。

#### 【0063】

リフレッシュラッチ回路38は、高レベルのリフレッシュタイミング信号SRTPZおよび試験信号TESTZに応答して、遅延回路DLYの遅延時間後にウェイト信号WAITZを高レベルに変化させる（図8（m））。ウェイト信号WAITZは、リフレッシュタイミング信号SRTPZが出力されるときに低レベルのため、図2に示したリフレッシュ判定回路30のスキップ検出回路40は、スキップ信号SKIPZを出力しない。

#### 【0064】

このため、読み出し動作において、メモリセルMCから読み出されるデータD1がデータ端子DQに出力される（図8（n））。LSIテストは、擬似SRAMからの正常な読み出しデータD1を受け、読み出し動作RDの間にリフレッシュ動作REFが挿入されることを認識する。

図9は、第1の実施形態における試験モードでの別の動作例を示している。図5、図7および図8と同じ動作については、詳細な説明を省略する。この例では



、読み出しコマンドRDの供給間隔は、図8より短くされ、リフレッシュ動作は、アクセス動作の間に挿入できない。

#### 【0065】

読み出しコマンドRDの供給間隔が短いため、裁定回路28は、最初の読み出し動作RDに伴うコアサイクル状態信号ICSXの受信直後に、リフレッシュマスク信号REFMSKZを高レベルに変化させる(図9(a))。このため、リフレッシュ状態信号REFZの出力は、マスクされる(図9(b))。ロウ動作制御回路32は、リフレッシュ状態信号REFZが供給されないため、リフレッシュ開始信号REFPZの受信をキャンセルし、ロウ制御信号RASZを出力しない。このため、リフレッシュ動作REFは実行されない。リフレッシュラッチ回路38は、リフレッシュ状態信号REFZを受信しないため、ウェイト信号WAITZの高レベル”H”を保持する(図9(c))。

#### 【0066】

擬似SRAMは、読み出しコマンドを受信する。アクセスタイミング生成回路10およびコマンドデコーダ12は、読み出しコマンドに応答して、アクセスタイミング信号ATDPZおよび読み出し制御信号RDZを出力する(図9(d))。判定回路30は、コアサイクル状態信号ICSXが高レベルのため、アクセスタイミング信号ATDPZの受信から所定時間後に読み出しタイミング信号RDPZを出力する(図9(e))。そして、読み出し動作が開始される(図9(f))。

#### 【0067】

擬似SRAMは、読み出しタイミング信号RDPZの生成直後に、LSIテストからの試験リフレッシュ要求信号EREFZを受信する。試験リフレッシュ要求信号EREFZに同期してリフレッシュタイミング信号SRTPZが出力される(図9(g))。ウェイト信号WAITZは、リフレッシュタイミング信号SRTPZが出力されるときに高レベルを保持している。このため、スキップ検出回路40は、リフレッシュタイミング信号SRTPZに同期してスキップ信号SKIPZを出力する(図9(h))。

#### 【0068】

図3に示したデータ出力回路24の出力マスク回路42は、スキップ信号SKIPZに応答して、読み出しタイミング信号READZをマスクし、出力イネーブル信号OD

EXを高レベルに固定する。このため、図3に示したデータ出力回路24の出力バッファ回路44は、非活性化され、トライステート出力バッファ44aは、読み出し動作RDに伴う読み出しデータD1のデータ端子DQへの出力を禁止するとともに、データ端子DQをハイインピーダンス状態Hi-Zに設定する（図9（i））。

#### 【0069】

すなわち、試験モードでは、リフレッシュ動作REFが実行されることなく次のリフレッシュ要求が発生するときに、データ端子DQがハイインピーダンス状態Hi-Zになる。この際、リフレッシュ要求をリフレッシュタイマ16に依存することなく所望のタイミングで発生できるため、試験を短時間で実施できる。試験を実施する際に専用の試験端子を形成しなくてよいため、擬似SRAMのチップサイズが増加することを防止できる。

#### 【0070】

実際の評価では、データ端子DQがプルアップされた（論理”1”）評価基板またはプローブカードが、LSIテストに装着され、メモリセルMCに予め論理”0”が書き込まれる。そして、上記試験において、論理”0”が読み出せず、エラーになったとき、リフレッシュ動作REFが実行されることなく次のリフレッシュ要求が発生したと判断される。

#### 【0071】

図8および図9において、最初に供給されるアクセスコマンドは、読み出しコマンドRDでなく、書き込みコマンドWRでもよい。2番目に供給されるアクセスコマンドは、LSIテストによりパス／フェイル判定をするために読み出しコマンドRDでなくてはならない。

なお、ショートリフレッシュ機能を有する擬似SRAMにおいてリフレッシュ動作が正常に実行されるか否かは、メモリセルMCに書き込まれたデータが実際に消失することを確認することで評価可能である。具体的には、アクセスコマンドの供給間隔を徐々に短くしながら、メモリセルのデータ保持特性を評価する試験（一般にポーズ試験と称される）を実施すればよい。しかし、DRAMのメモリセルMCに書き込まれたデータは、数百ミリ秒～数秒保持される。このため、リフレッシュ動作が正しく実行されることをポーズ試験により確認する場合、膨大な試験時間

が必要になる。

#### 【0072】

以上、第1の実施形態では、試験モードにおいて、リフレッシュ動作REFが実行されることなく次のリフレッシュ要求が発生するときに、データ端子DQをハイインピーダンス状態に設定した。このため、擬似SRAMを評価するLSIテスト等の評価装置は、リフレッシュ動作REFが挿入できなくなるアクセスコマンド間隔を容易かつ正確に評価できる。すなわち、アクセスコマンドの最小供給間隔を容易に評価できる。この結果、擬似SRAMの開発期間を短縮でき、開発コストを削減できる。擬似SRAMの量産においては、製造条件の変動等により不良が発生したときに、不良解析を迅速に実施でき、歩留の低下期間を最小限にすることができる。

#### 【0073】

トライステート出力バッファ44aに接続されるデータ端子DQを試験モード中に、外部試験端子として使用した。このため、評価用の新たな端子を形成することが不要になり、擬似SRAMのチップサイズの増加を防止できる。

図10は、本発明の半導体メモリの第2の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

#### 【0074】

この実施形態では、第1の実施形態のコマンドデコーダ12およびリフレッシュタイマ16の代わりにコマンドデコーダ12Aおよびリフレッシュタイマ16Aが形成されている。また、この実施形態では、リフレッシュ選択回路14および外部試験端子SRCは形成されていない。その他の構成は、第1の実施形態とは同じである。

#### 【0075】

コマンドデコーダ12Aは、コマンド信号CMDを解釈し、読み出し動作を実行するための読み出し制御信号RDZまたは書き込み動作を実行するための書き込み制御信号WRZを出力する。また、コマンドデコーダ12Aは、試験モード時に、コマンド端子CMDに供給されるコマンド信号CMD（試験コマンド）に応じて、リフ

レッシュタイマ16Aの周期を変更するためのリフレッシュ調整信号REFADJを出力する。

#### 【0076】

リフレッシュタイマ16Aは、内部リフレッシュ要求信号IREFZを所定の周期で出力する。内部リフレッシュ要求信号IREFZは、通常動作モード時に、メモリセルMCに保持されたデータを失うことなく、メモリセルMCを順次リフレッシュできる周期で生成される。また、内部リフレッシュ要求信号IREFZは、試験モード時に、リフレッシュ調整信号REFADJの論理値に対応する周期で生成される。

#### 【0077】

この実施形態では、試験モード時に、コマンド端子CMDを介して供給される試験コマンドにより、リフレッシュタイマ16Aの周期を変えながら、第1の実施形態と同様の評価が実施される。

以上、第2の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、リフレッシュタイマ16Aは、試験モード中に、リフレッシュ要求の生成周期を変更するためのリフレッシュ調整信号REFADJを受ける。このため、通常の動作時に動作する回路を用いて、擬似SRAMの内部で所望のタイミングを有するリフレッシュ要求を発生させることができる。したがって、擬似SRAMの実際の回路動作と同じ状態で、リフレッシュ特性を評価できる。

#### 【0078】

図11は、本発明の半導体メモリの第3の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、第1の実施形態のアクセスタイミング生成回路10およびコマンドデコーダ12が、コマンド制御回路11として形成されている。また、第1の実施形態のデータ出力回路24、裁定回路28、リフレッシュ判定回路30、ロウ動作制御回路32およびコア制御回路34の代わりにデータ出力回路24B、裁定回路28B、中断検出回路31、ロウ動作制御回路32Bおよびコア制御回路34Bが形成されている。その他の構成は、第1の実施形態とほぼ同じ

である。すなわち、半導体メモリは、DRAMのメモリセル（ダイナミックメモリセル）を有し、SRAMのインタフェースを有する擬似SRAMとして形成されている。この擬似SRAMは、例えば、携帯電話に搭載されるワークメモリに使用される。

#### 【0079】

コマンド制御回路11は、コマンド端子CMDを介して供給されるコマンド信号CMD（チップイネーブル信号/CE、アウトプットイネーブル信号/OEおよびライトイネーブル信号/WE等）を解読し、コマンド信号CMDがアクセス要求を示すことを認識したときに、読み出し動作または書き込み動作を実行するためのアクセスタイミング信号ATDPZ（アクセス制御信号）を出力する。コマンド制御回路11は、読み出し動作を実行するための読み出しコマンド信号および書き込み動作を実行するための書き込みコマンド信号等も出力する。

#### 【0080】

データ出力回路24Bは、メモリセルMCからの読み出しデータをコモンデータバスCDBを介して受信し、受信したデータをデータ端子DQ（DQ0-7）に出力する。また、データ出力回路24Bは、試験モード中に、リフレッシュ判定回路30Bから高レベルの中断検出信号INTDZを受けたときに、データ端子DQ0-7をハイインピーダンス状態に設定する。データ出力回路24Bの詳細は、図13で説明する。

#### 【0081】

裁定回路28Bは、アクセスタイミング信号ATDPZ（アクセス要求）とリフレッシュタイミング信号SRTPZ（リフレッシュ要求）の遷移エッジを比較することで、これ等要求の競合を判断し、アクセス動作およびリフレッシュ動作のいずれを優先させるかを決める。裁定回路28Bは、アクセスタイミング信号ATDPZをリフレッシュタイミング信号SRTPZより早く受けたとき、アクセス動作を優先するためにリフレッシュタイミング信号SRTPZを一時保持し、リフレッシュ開始信号REFPX（リフレッシュ制御信号）を高レベルに保持する。この後、裁定回路28Bは、コアサイクル状態信号ICSXの非活性化（高レベルへの変化）によりアクセス動作の完了を検出し、保持しているリフレッシュタイミング信号SRTPZに応じてリフレッシュ動作を実行するためにリフレッシュ開始信号REFPXを所定期間

低レベルに変化させる。

#### 【0 0 8 2】

また、裁定回路 2 8 B は、リフレッシュタイミング信号 SRTPZ をアクセスタイミング信号 ATDPZ より早く受けたとき、リフレッシュ動作を優先するためにリフレッシュタイミング信号 SRTPZ に応答してリフレッシュ開始信号 REFPX を所定の期間低レベルに変化させる。

さらに、裁定回路 2 8 B は、リフレッシュ中断判定信号 REFJZ が高レベルの期間中に次のアクセスコマンドに対応するアクセスタイミング信号 ATDPZ を受けたときに、リフレッシュ中断信号 REFIZ を出力する。リフレッシュ中断判定信号 REFJZ は、リフレッシュ動作に優先して実行される読み出し動作または書き込み動作の完了からリフレッシュ動作のためにワード線 WL が活性化される直前まで高レベルを保持する。リフレッシュ動作は、ワード線 WL が活性化する前であれば、ロウ動作制御回路 3 4 B がリフレッシュ動作を開始してもメモリセル MC 内のデータを破壊することなく中断できる。このように、裁定回路 2 8 B は、アクセス動作の完了から所定期間内に次のアクセス要求を受けたときに、リフレッシュ動作を中断するためのリフレッシュ中断信号 REFIZ を出力する中断回路としても動作する。なお、裁定回路 2 8 B は、リフレッシュ中断信号 REFIZ を出力する場合、リフレッシュ要求を保持し続ける。

#### 【0 0 8 3】

中断検出回路 3 1 は、試験モード中 (TESTZ = 高レベル) に動作し、アクティブ信号 ACTPX、リフレッシュ状態信号 REFZ、ワード線制御信号 TWZ およびリフレッシュタイミング信号 SRTPZ を受け、リフレッシュ中断判定信号 REFJZ に応答してリフレッシュ動作の中断を検出したときに、中断検出信号 INTDZ を出力する。アクティブ信号 ACTPX は、読み出し動作または書き込み動作の開始を示す信号である。リフレッシュ状態信号 REFZ は、リフレッシュ動作が実行されていることを示す信号である。中断検出回路 3 1 の詳細は、図 1 2 で説明する。

#### 【0 0 8 4】

ロウ動作制御回路 3 2 B は、リフレッシュ開始信号 REFPX を受けることなくアクセスタイミング信号 ATDPZ を受けたときに、ロウ制御信号 RASZ およびアクティ

ブ信号ACTPXと、読み出し制御信号RDZまたは書き込み制御信号WRZとを出力する。ロウ動作制御回路 3 2 B は、リフレッシュ開始信号REFPXを受けたときに、アクセスタイミング信号ATDPZにかかわらずロウ制御信号RASZおよびリフレッシュ状態信号REFZを出力する。また、ロウ動作制御回路 3 2 B は、メモリア 3 6 の動作中に、コアサイクル状態信号ICSXを低レベルに保持する。ロウ制御信号RASZは、メモリア 3 6 を動作させる基本タイミング信号である。読み出し制御信号RDZおよび書き込み制御信号WRZは、読み出し動作および書き込み動作をそれぞれ実行するための信号である。

#### 【 0 0 8 5 】

コア制御回路 3 4 B は、図示しないワード線制御回路、センスアンプ制御回路およびプリチャージ制御回路を有している。ワード線制御回路は、ワード線WLを選択するワード線制御信号TWZを、ロウ制御信号RASZに応答して出力する。センスアンプ制御回路は、センスアンプ部SAのセンスアンプを活性化するためのセンスアンプ活性化信号LEZを、ロウ制御信号RASZに応答して出力する。プリチャージ制御回路は、ビット線BL、/BLが使用されないときに、ビット線リセット信号BRSを出力する。

#### 【 0 0 8 6 】

また、コア制御回路 3 4 B は、上述したように、リフレッシュ動作に優先して実行される読み出し動作または書き込み動作の完了から所定期間、リフレッシュ中断判定信号REFJZを低レベルから高レベルに変化させる。

ロウ動作制御回路 3 2 B およびコア制御回路 3 4 B は、リフレッシュ開始信号REFPXに応答してメモリア 3 6 にリフレッシュ動作を実行させるとともに、リフレッシュ中断信号REFIZを受けたときに実行中のリフレッシュ動作を中断させ、リフレッシュ開始信号REFPXが出力されないときにアクセスタイミング信号ATDPZに応答してメモリア 3 6 にアクセス動作を実行させる動作制御回路として動作する。

#### 【 0 0 8 7 】

図 1 2 は、図 1 1 に示した中断検出回路 3 1 の詳細を示している。

中断検出回路 3 1 は、フリップフロップFF1、FF2およびこれらフリップフロッ

ブFF1、FF2を制御する論理ゲートを有している。

フリップフロップFF1は、試験モード中（TESTZ＝高レベル）に動作し、リフレッシュタイミング信号SRTPZの立ち上がりエッジに同期してリフレッシュウインドウ信号REFWZを高レベルにセットする。フリップフロップFF1は、開始信号STTXまたはアクティブ信号ACTPXの立ち下がりエッジに同期してリフレッシュウインドウ信号REFWを低レベルにリセットする。開始信号STTXは、パワーオンリセット中に低レベルに変化し、その後高レベルに保持される信号である。

#### 【0088】

フリップフロップFF2は、リフレッシュウインドウ信号REFWZが高レベルの期間に、高レベルのリフレッシュ状態信号REFZおよびワード制御信号WTZを受けたとき、または開始信号STTXを受けたときにセットされ、中断検出信号INTDZを低レベルに変化させる。フリップフロップFF2は、リフレッシュタイミング信号SRTPZの立ち上がりエッジに同期してリセットされ、中断検出信号INTDZを高レベルに変化させる。

#### 【0089】

中断検出回路31は、システムにより擬似SRAMがアクセスされる通常動作モード中に（TESTZ＝低レベル）、中断検出信号INTDZを低レベルに保持する。中断検出回路31は、試験モード中、リフレッシュ要求に応答して中断検出信号INTDZを高レベルに変化させ、リフレッシュ要求から次のアクセス要求までの期間（REFWZ＝高レベル）に、このリフレッシュ要求に対応してワード線WLが活性化されたときに、中断検出信号INTDZを低レベルに戻す。換言すれば、中断検出回路31は、リフレッシュ要求に対応するワード線WLが次のアクセス要求までに活性化されないとき、高レベルの中断検出信号INTDZを出力し続ける。

#### 【0090】

図13は、図11に示したデータ出力回路24Bの詳細を示している。

データ出力回路24Bは、第1の実施形態（図3）のデータ出力回路24の出力マスク回路42の代わりに出力マスク回路42Bを形成して構成されている。その他の構成は、データ出力回路24と同じである。なお、図13では、図3と同様に、データ端子DQ0に対応する出力バッファ回路44を示している。出力マ



スク回路 4 2 B は、データ端子 DQ0-7 に対応する出力バッファ回路 4 4 に共通の回路である。

#### 【0 0 9 1】

出力マスク回路 4 2 B は、中断検出信号 INTDZ が高レベルのときに、読み出しタイミング信号 READZ をマスクして、高レベルの出力イネーブル信号 ODEX を高レベルに保持する。すなわち、トライステートバッファ 4 4 a は、中断検出信号 INTDZ が高レベルのときにハイインピーダンス状態に設定される。出力マスク回路 4 2 B は、中断検出信号 INTDZ が低レベルのときに、読み出しタイミング信号 READZ を反転して出力イネーブル信号 ODEX として出力する。

#### 【0 0 9 2】

図 1 4 および図 1 5 は、第 3 の実施形態における通常動作モードでの動作例を示している。第 1 の実施形態（図 5、図 7）と同じ動作については、詳細な説明を省略する。なお、第 1 の実施形態（図 4）と同様に、書き込み動作 WR および読み出し動作 RD は、同じサイクル時間  $t_{RC}$  で実行される。

図 1 4 は、連続するアクセス動作（読み出し動作）の間にリフレッシュ動作を挿入できる例を示している。

#### 【0 0 9 3】

この例では、2 回の読み出しコマンド RD が連続して供給され、最初の読み出しコマンド RD の供給後に内部リフレッシュ要求信号 IREFZ が発生する。

まず、図 1 1 に示したコマンド制御回路 1 1 は、低レベルのチップイネーブル信号 /CE および図示しない低レベルのアウトプットイネーブル信号 /OE を受け、アクセスタイミング信号 ATDPZ を出力する（図 1 4（a））。ロウ動作制御回路 3 2 B は、リフレッシュ開始信号 REFPX を受ける前にアクセスタイミング信号 ATDPZ を受け、読み出し制御信号 RDZ およびアクティブ信号 ACTPX を出力する（図 1 4（b））。また、ロウ動作制御回路 3 2 B は、アクセスタイミング信号 ATDPZ に応答してロウ制御信号 RASZ を出力する（図 1 4（c））。コア制御回路 3 4 B は、読み出し制御信号 RDZ およびロウ制御信号 RASZ を受け、ワード線制御信号 TWZ を所定期間活性化する（図 1 4（d））。そして、アドレス AD1 に対応する読み出し動作が実行され、読み出しデータ D0 が出力される（図 1 4（e））。

**【0 0 9 4】**

一方、アクセスタイミング信号ATDPZの出力直後に、リフレッシュタイマ16から内部リフレッシュ要求IREFZが出力される（図14（f））。リフレッシュ選択回路14は、内部リフレッシュ要求IREFZに応答してリフレッシュタイミング信号SRTPZを出力する（図14（g））。

コア制御回路34Bは、読み出し動作RDの完了から所定期間、リフレッシュ中断判定信号REFJZを出力する（図14（h））。裁定回路28Bは、読み出し動作RDの完了に伴うコアサイクル状態信号ICSXの立ち上がりエッジに同期して、リフレッシュ開始信号REFPXを出力する（図14（i））。

**【0 0 9 5】**

ロウ動作制御回路32Bは、リフレッシュ開始信号REFPXに応答してリフレッシュ状態信号REFZおよびロウ制御信号RASZを出力する（図14（j、k））。そして、内部リフレッシュ要求IREFZに対応するリフレッシュ動作REFが実行される（図14（l））。この後、次の読み出しコマンドRDに응答して、アドレスAD2に対応する読み出し動作RDが実行される（図14（m））。

**【0 0 9 6】**

図15は、連続するアクセス動作（読み出し動作）の間にリフレッシュ動作を実行できない例を示している。図14と同じ動作については、詳細な説明を省略する。

この例では、読み出しコマンドRDは、上述した図14より短い間隔で供給される。最初の読み出しコマンドRDとリフレッシュ要求の発生タイミングは、図14と同じである。また、アドレスAD1に対応する読み出し動作が実行され、リフレッシュ動作のためのリフレッシュ状態信号REFZおよびロウ制御信号RASZが出力されるまでは、図14と同じである。

**【0 0 9 7】**

裁定回路28Bは、リフレッシュ中断判定信号REFJZが高レベルの期間に、次の読み出しコマンドRDに対応するアクセス制御信号ATDPZを受ける（図15（a））。このため、裁定回路28Bは、リフレッシュ中断信号REFIZを出力する（図15（b））。ロウ動作制御回路32Bは、リフレッシュ中断信号REFIZに

答して、リフレッシュ状態信号REFZおよびロウ制御信号RASZの出力を停止する（図 1 5 （c、d））。コア制御回路 3 4 B は、ロウ制御信号RASZの非活性化を受けて、リフレッシュ動作を中断する。

#### 【0 0 9 8】

リフレッシュ中断判定信号REFJZは、リフレッシュ動作のためにワード線WLが活性化される前に出力される。このため、リフレッシュ動作が中断されたとき、ワード線WLは活性化されていない。従って、メモリセルMCに保持されているデータが、リフレッシュ動作の中断により破壊することはない。

リフレッシュ動作が中断するため、リフレッシュ動作のためのワード線制御信号TWZは、出力されない（図 1 5 （e））。裁定回路 2 8 B は、コアサイクル状態信号ICSXの低レベル期間が短いため、リフレッシュ動作が中断したと判断し、リフレッシュ要求（SRTPZ）を保持し続ける。この後、2 番目の読み出しコマンドRDに応答して読み出し動作が実行され、読み出しデータD1が出力される（図 1 5 （f））。

#### 【0 0 9 9】

コア制御回路 3 4 B は、2 番目の読み出し動作RDの完了に応答してリフレッシュ中断判定信号REFJZを出力する（図 1 5 （g））。裁定回路 2 8 B は、2 番目の読み出し動作RDの完了に伴うコアサイクル状態信号ICSXの立ち上がりエッジに同期して、リフレッシュ開始信号REFPXを出力する（図 1 5 （h））。そして、実行されていないリフレッシュ動作は、再度開始される（図 1 5 （i））。

#### 【0 1 0 0】

裁定回路 2 8 B は、リフレッシュ中断判定信号REFJZが高レベルの期間に、3 番目の読み出しコマンドRDに対応するアクセス制御信号ATDPZを受け（図 1 5 （j））、リフレッシュ中断信号REFIZを出力する（図 1 5 （k））。ロウ動作制御回路 3 2 B は、リフレッシュ中断信号REFIZに応答して、リフレッシュ状態信号REFZおよびロウ制御信号RASZの出力を停止する（図 1 5 （l、m））。コア制御回路 3 4 B は、ロウ制御信号RASZの非活性化を受けて、リフレッシュ動作を中断する。

#### 【0 1 0 1】

この後、リフレッシュ動作は、読み出しコマンドRDが供給される毎に中断する。このため、リフレッシュ動作は、永遠に実行されない。すなわち、メモリセルMCに保持されているデータは、消失する。

図16～図19は、第3の実施形態における試験モードでの動作例を示している。図14および図15と同じ動作については、詳細な説明を省略する。

#### 【0102】

この例では、擬似SRAMは、予め通常動作モードから試験モードに移行している。試験モードは、例えば、擬似SRAMの開発時の特性評価において使用される。特性評価は、ウエハ状態の擬似SRAMをプローバに接続し、LSIテストから擬似SRAMに試験パターンを入力することで実施される。

試験モードでは、アクセス要求が2回または3回連続して供給され、リフレッシュ動作をアクセス動作の間に挿入可能なアクセス要求の最小供給間隔が求められる。書き込み動作WRおよび読み出し動作RDは、同じサイクル時間 $t_{RC}$ で実行される。

#### 【0103】

図16は、連続するアクセス動作（読み出し動作）の間にリフレッシュ動作を実行できる例を示している。

読み出しコマンドとリフレッシュ要求の発生タイミングは、図14と同じである。但し、試験モード中、図11に示したリフレッシュ選択回路14は、リフレッシュタイマ16から出力される内部リフレッシュ要求信号IREFZをマスクし、試験端子SRCを介してLSIテストから供給される試験リフレッシュ要求信号EREFZを内部リフレッシュ要求信号IREFZの代わりに受信し、リフレッシュタイミング信号SRTPZとして出力する（図16（a））。図12に示した中断検出回路31は、リフレッシュタイミング信号SRTPZの出力から次のアクティブ信号ACTPXの出力までの期間、リフレッシュウインドウ信号REFWを高レベルに保持する（図16（b））。

#### 【0104】

試験モード中、中断検出回路31は、リフレッシュタイミング信号SRTPZにตอบสนองして中断検出信号INTDZを高レベルに変化させる（図16（c））。データ出

力回路 2 4 B は、高レベルの中断検出信号 INTDZ を受けているとき、データ端子 D Q0-7 をハイインピーダンス状態にする（図 1 6 （d））。このため、アドレス AD 1 に対応する読み出しデータは、データ端子 DQ に出力されない。

#### 【0 1 0 5】

読み出し動作が完了してからリフレッシュ動作のためにワード線 WL が活性化されるまでの期間に（リフレッシュ中断判定信号 REFJZ の高レベル期間中）、アドレス AD2 に対応する次の読み出し要求は発生しない。このため、リフレッシュ中断信号 REFIZ は出力されず、低レベルを保持する（図 1 6 （e））。

この後、上述した図 1 4 と同様に、コア制御回路 3 4 B は、ロウ制御信号 RASZ に応答してワード線制御信号 TWZ を出力し（図 1 6 （f））、リフレッシュ動作が実行される（図 1 6 （g））。次に、アドレス AD2 に対応する読み出し動作 RD が実行される（図 1 6 （h））。

#### 【0 1 0 6】

中断検出信号 INTDZ は、リフレッシュ動作の実行により低レベルに変化している。このため、図 1 3 に示したデータ出力回路 2 4 B のトライステート出力バッファ 4 4 a は、活性化されており、アドレス AD2 に対応する読み出しデータ D1 は、データ端子 DQ に出力される（図 1 6 （i））。

擬似 SRAM を試験する L S I テスタは、2 番目の読み出し動作により読み出しデータ D1 が正しく読めるため、リフレッシュ動作が読み出し動作の間に挿入されたと判断する。すなわち、このときの読み出しコマンド RD の供給間隔（＝読み出しサイクル）は、リフレッシュ動作が挿入可能と判断される。

#### 【0 1 0 7】

図 1 7 は、連続するアクセス動作（読み出し動作）の間にリフレッシュ動作を実行できない例を示している。図 1 6 と同じ動作については、詳細な説明を省略する。

この例では、読み出しコマンド RD の供給間隔は、上述した図 1 5 より短く設定される。最初の読み出しコマンド RD とリフレッシュ要求の発生タイミングは、図 1 6 と同じである。

#### 【0 1 0 8】

まず、図 1 6 と同様に、中断検出回路 3 1 は、リフレッシュタイミング信号 SR TPZ に応答して中断検出信号 INTDZ を高レベルに変化させる（図 1 7 (a)）。この後、アドレス AD1 に対応する読み出し動作の実行から、リフレッシュ動作のためのリフレッシュ状態信号 REFZ およびロウ制御信号 RASZ が出力されるまでは、図 1 6 と同じである。

#### 【0 1 0 9】

裁定回路 2 8 B は、リフレッシュ中断判定信号 REFJZ が高レベルの期間に、次の読み出しコマンド RD に対応するアクセス制御信号 ATDPZ を受ける（図 1 7 (b)）。このため、裁定回路 2 8 B は、リフレッシュ中断信号 REFIZ を出力する（図 1 7 (c)）。ロウ動作制御回路 3 2 B は、リフレッシュ中断信号 REFIZ に応答して、リフレッシュ状態信号 REFZ およびロウ制御信号 RASZ の出力を停止する（図 1 7 (d、e)）。コア制御回路 3 4 B は、ロウ制御信号 RASZ の非活性化を受けて、リフレッシュ動作を中断する。

#### 【0 1 1 0】

リフレッシュ動作が中断するため、リフレッシュ動作のためのワード線制御信号 TWZ は、出力されない（図 1 7 (f)）。このため、中断検出回路 3 1 は、高レベルの中断検出信号 INTDZ を出力し続ける（図 1 7 (g)）。データ出力回路 2 4 B は、高レベルの中断検出信号 INTDZ を受けているとき、データ端子 DQ0-7 をハイインピーダンス状態にする（図 1 7 (h)）。このため、アドレス AD2 に対応する読み出しデータは、データ端子 DQ に出力されない（図 1 7 (i)）。

#### 【0 1 1 1】

L S I テスタは、2 番目の読み出し動作により読み出しデータ D1 が読み出せないため、リフレッシュ動作が読み出し動作の間に挿入できない判断する。すなわち、このときの読み出しコマンド RD の供給間隔（＝読み出しサイクル）は、リフレッシュ動作が挿入不可能と判断される。

従来は、リフレッシュ動作が挿入できるか否かは、アクセス要求とリフレッシュ要求とを競合させた後、アクセス要求を長時間連続して供給し、実際にデータが消失することを確認している。本発明では、アクセス要求に競合するリフレッシュ動作が実行されるか否かを、2 つのアクセスサイクルだけで評価できる。

**【0112】**

なお、LSI テスタを使用する実際の評価では、試験モードにおいて、読み出しコマンドRDの供給間隔を徐々に短くしていく。すなわち、試験タイミングが、図16から図17に徐々に変えられ、2サイクル目の読み出しデータを正しく読み出せる最小の供給間隔が、最小の読み出しサイクルと判定される。

図18は、連続するアクセス動作（書き込み動作）の間にリフレッシュ動作を実行できる例を示している。

**【0113】**

書き込みコマンドとリフレッシュ要求の発生タイミングは、図16の読み出しコマンドとリフレッシュ要求の発生タイミングと同じである。書き込み動作の間にリフレッシュ動作が挿入できるか否かは、2番目の書き込みサイクルの後に、例えば、読み出しサイクルを実行することで確認する。このため、アドレスAD3に対応するメモリセルMCには、予め期待値データを書き込んでおく。

**【0114】**

この例では、リフレッシュ動作は、書き込み動作の間に挿入される（図18（a））。このため、中断検出信号INTDZは、低レベルに変化し（図18（b））、データ出力回路24Bは、通常動作モードと同様に動作する。したがって、その後の読み出し動作によるメモリセルMCからのデータD2は、正しく読み出せる（図18（c））。

**【0115】**

図19は、連続するアクセス動作（書き込み動作）の間にリフレッシュ動作を実行できない例を示している。図17および図18と同じ動作については、詳細な説明を省略する。

書き込みコマンドとリフレッシュ要求の発生タイミングは、図16の読み出しコマンドとリフレッシュ要求の発生タイミングと同じである。この例では、書き込みコマンドWRの供給間隔は、上述した図17より短く設定されている。

**【0116】**

このため、リフレッシュ動作は、中断され（図19（a））、中断検出回路31は、高レベルの中断検出信号INTDZを出力し続ける（図19（b））。この結

果、データ出力回路 2 4 B は、読み出しデータを出力せず、データ端子 DQ をハイインピーダンス状態にする（図 1 9（c））。L S I テスタは、アドレス AD3 に対応する期待値データが読み出せないため、書き込みサイクルの間にリフレッシュ動作が挿入できないと判断する。

#### 【0 1 1 7】

なお、L S I テスタを使用する実際の評価では、試験モードにおいて、書き込みコマンド WR の供給間隔を徐々に短くしていく。すなわち、試験タイミングが、図 1 8 から図 1 9 に徐々に変えられ、3 サイクル目の読み出しデータを正しく読み出せる最小の供給間隔が、最小の書き込みサイクルと判定される。

以上、第 3 の実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、リフレッシュ動作がその後のアクセス要求により中断される擬似 SRAM において、リフレッシュ動作を完了できなくなるアクセスコマンドの最小供給間隔（最小アクセスサイクル）を容易かつ正確に評価できる。この結果、評価時間を短縮でき、半導体メモリの開発期間を短縮できる。すなわち、開発コストを削減できる。あるいは、量産している半導体メモリにおいて、製造条件の変動等により不良が発生したときに、不良解析を迅速に実施でき、歩留の低下期間を最小限にすることができる。

#### 【0 1 1 8】

また、リフレッシュ動作の中断は、ワード線 WL が活性化される前に判定されるため、リフレッシュされるメモリセル MC 内のデータが破壊されることを防止できる。

上述した第 1 および第 2 の実施形態では、リフレッシュサイクルを読み出しサイクルおよび書き込みサイクルより短く設定する例について述べた。本発明はかかる実施形態に限定されるものではない。リフレッシュサイクルを読み出しサイクルおよび書き込みサイクルと同じ時間に設定してもよい。

#### 【0 1 1 9】

また、上述した第 3 の実施形態では、連続する読み出しサイクルおよび連続する書き込みサイクルの間にリフレッシュサイクルが挿入できるか否かを評価する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば



、図 1 5 および図 1 6 に示した最初の読み出しサイクルを書き込みサイクルに換えることで、連続する書き込みサイクルと読み出しサイクルとの間にリフレッシュサイクルが挿入できるか否かを評価できる。あるいは、図 1 7 および図 1 8 に示した最初の書き込みサイクルを読み出しサイクルに換えることで、連続する読み出しサイクルと書き込みサイクルとの間にリフレッシュサイクルが挿入できるか否かを評価できる。

#### 【0 1 2 0】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

#### 【0 1 2 1】

##### 【発明の効果】

請求項 1 の半導体メモリでは、内部リフレッシュ要求に対応するリフレッシュ動作が実行される前に新たな内部リフレッシュ要求が発生したときに、検出信号を出力する。例えば、アクセス要求間隔が短く、アクセス動作の間にリフレッシュ動作を挿入できないときに、検出信号が出力される。このため、アクセス要求の最小供給間隔を評価できる。この結果、評価時間を短縮でき、半導体メモリの開発期間を短縮できる。すなわち、開発コストを削減できる。

#### 【0 1 2 2】

請求項 2 の半導体メモリでは、通常の動作時に動作する回路を用いて、半導体メモリチップの内部で所望のタイミングを有するリフレッシュ要求を発生させることができる。したがって、半導体メモリの実際の回路動作と同じ状態で、リフレッシュ特性を評価できる。

請求項 3 の半導体メモリでは、中検出信号の出力により、アクセス動作の間に開始したりフレッシュ動作が完了できないことを検出することで、アクセス要求の最小供給間隔を評価できる。この結果、評価時間を短縮でき、半導体メモリの開発期間を短縮できる。すなわち、開発コストを削減できる。あるいは、量産している半導体メモリにおいて、製造条件の変動等により不良が発生したときに、不良解析を迅速に実施でき、歩留の低下期間を最小限にすることができる。

**【0123】**

請求項4の半導体メモリでは、リフレッシュされるメモリセル内のデータが破壊されることを防止できる。

請求項5の半導体メモリでは、検出信号が外部端子を介して半導体メモリの外部に出力される。このため、例えば、半導体メモリを評価するための評価装置により検出信号を検出することで、アクセス要求の最小供給間隔を正確に評価できる。

**【0124】**

請求項6の半導体メモリでは、半導体メモリに接続される評価装置は、データ端子のハイインピーダンス状態を測定することで検出信号を検出することで、アクセス要求の最小供給間隔を容易に評価できる。また、データ端子を外部端子として使用することで、チップサイズの増加を防止できる。

請求項7の半導体メモリでは、所望のタイミングを有するリフレッシュ要求を、半導体メモリの外部から供給できる。したがって、半導体メモリの通常動作では起こらないタイミングの信号を生成でき、試験を詳細かつ効率よく実施できる。

**【図面の簡単な説明】****【図1】**

本発明の半導体メモリの第1の実施形態を示すブロック図である。

**【図2】**

図1に示したリフレッシュ判定回路の詳細を示す回路図である。

**【図3】**

図1に示したデータ出力回路の詳細を示す回路図である。

**【図4】**

第1の実施形態におけるメモリセルアレイの基本動作を示すタイミング図である。

**【図5】**

第1の実施形態における通常動作モードでの動作例を示すタイミング図である。

**【図 6】**

第 1 の実施形態における通常動作モードでの別の動作例を示すタイミング図である。

**【図 7】**

第 1 の実施形態における通常動作モードでの別の動作例を示すタイミング図である。

**【図 8】**

第 1 の実施形態における試験モードでの動作例を示すタイミング図である。

**【図 9】**

第 1 の実施形態における試験モードでの別の動作例を示すタイミング図である。

**【図 10】**

本発明の半導体メモリの第 2 の実施形態を示すブロック図である。

**【図 11】**

本発明の半導体メモリの第 2 の実施形態を示すブロック図である。

**【図 12】**

図 11 に示した中断検出回路の詳細を示す回路図である。

**【図 13】**

図 11 に示したデータ出力回路の詳細を示す回路図である。

**【図 14】**

第 3 の実施形態における通常動作モードでの動作例を示すタイミング図である。

**【図 15】**

第 3 の実施形態における通常動作モードでの別の動作例を示すタイミング図である。

**【図 16】**

第 3 の実施形態における試験モードでの動作例を示すタイミング図である。

**【図 17】**

第 3 の実施形態における試験モードでの別の動作例を示すタイミング図である。

る。

【図 1 8】

第 3 の実施形態における試験モードでの別の動作例を示すタイミング図である

。

【図 1 9】

第 3 の実施形態における試験モードでの別の動作例を示すタイミング図である

。

【符号の説明】

- 1 0    アクセスタイミング生成回路
- 1 1    コマンド制御回路
- 1 2、1 2 A    コマンドデコーダ
- 1 4    リフレッシュ選択回路
- 1 6、1 6 A    リフレッシュタイマ
- 1 8    リフレッシュカウンタ
- 2 0    アドレス入力回路
- 2 2    スイッチ回路
- 2 4、2 4 B    データ出力回路
- 2 6    データ入力回路
- 2 8、2 8 B    裁定回路
- 3 0    リフレッシュ判定回路
- 3 1    中断検出回路
- 3 2、3 2 B    ロウ動作制御回路
- 3 4、3 4 B    コア制御回路
- 3 6    メモリコア
- 3 8    リフレッシュラッチ回路
- 4 0    スキップ検出回路
- 4 2、4 2 B    出力マスク回路
- 4 4    出力バッファ回路
- 4 4 a    トライステート出力バッファ

ACTPX アクティブ信号  
ADD アドレス端子、アドレス信号  
ARY メモリセルアレイ  
ATDPZ アクセスタイミング信号  
BL、/BL ビット線  
BRS ビット線リセット信号  
CAD コラムアドレス信号  
CDB コモンデータバス  
CDEC コラムデコーダ部  
CMD コマンド端子、コマンド信号  
DATA0X 読み出しデータ  
DB データバス  
DQ0-7 データ端子  
EREFZ 試験リフレッシュ要求信号  
ICSX コアサイクル状態信号  
INTDZ 中断検出信号  
IRAD 内部ロウアドレス信号  
IREFZ 内部リフレッシュ要求  
LEZ センスアンプ活性化信号  
MC メモリセル  
ODEX 出力イネーブル信号  
RA ロウアドレス信号  
RASZ ロウ制御信号  
RDPZ 読み出しタイミング信号  
RDZ 読み出し制御信号  
READZ 読み出しタイミング信号  
REFAD リフレッシュアドレス信号  
REFADJ リフレッシュ調整信号  
REFIZ リフレッシュ中断信号

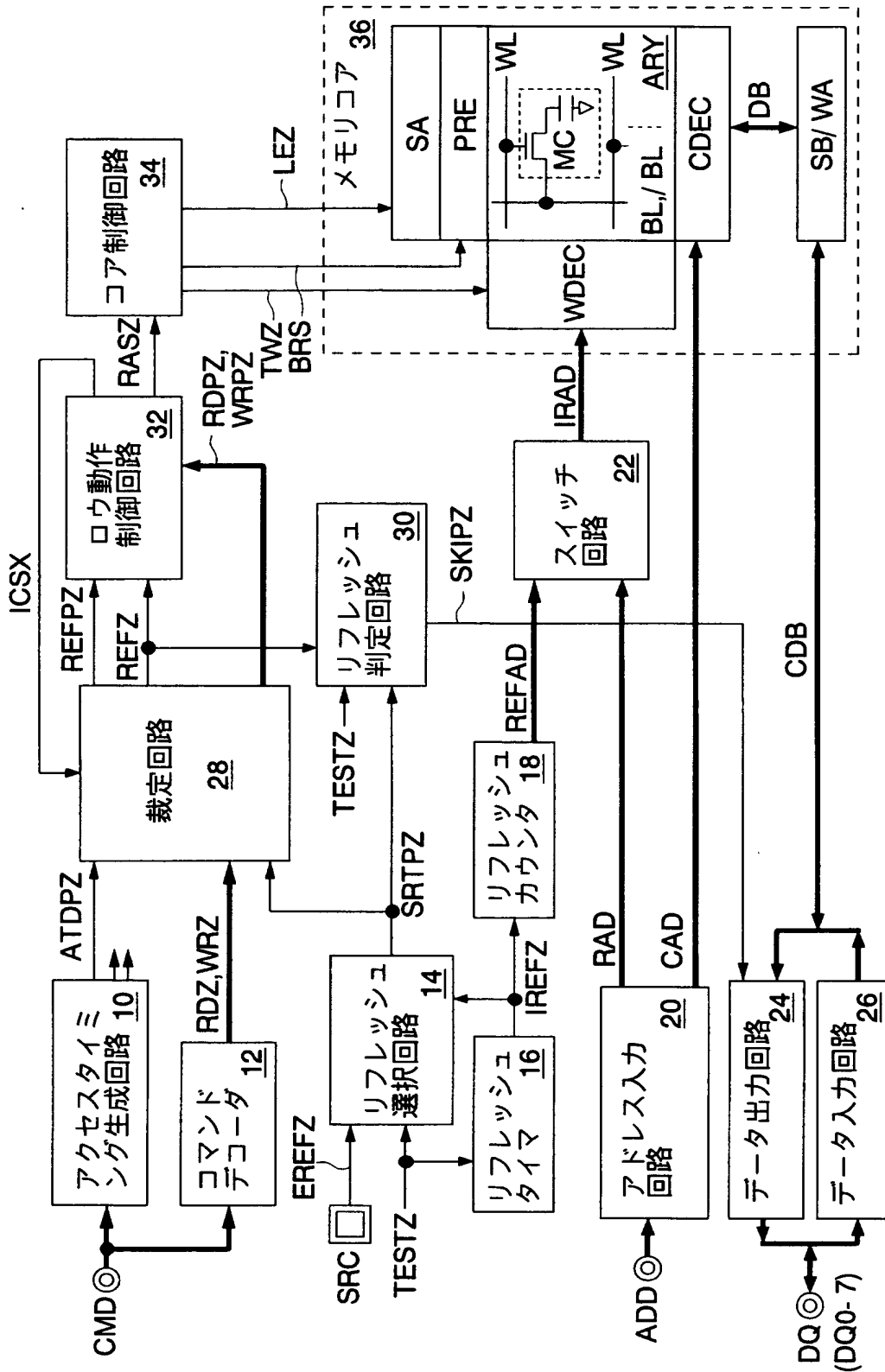
REFJZ リフレッシュ中断判定信号  
REFPZ、REFPX リフレッシュ開始信号  
REFWZ リフレッシュウインドウ信号  
REFZ リフレッシュ状態信号  
SA センスアンプ部  
SB センスバッファ部  
SRTPZ リフレッシュタイミング信号  
TESTZ 試験信号  
TWZ ワード線制御信号  
WA ライトアンプ部  
WAITZ ウエイト信号  
WL ワード線  
WDEC ワードデコーダ部  
WRPZ 書き込みタイミング信号  
WRZ 書き込み制御信号

【書類名】

図面

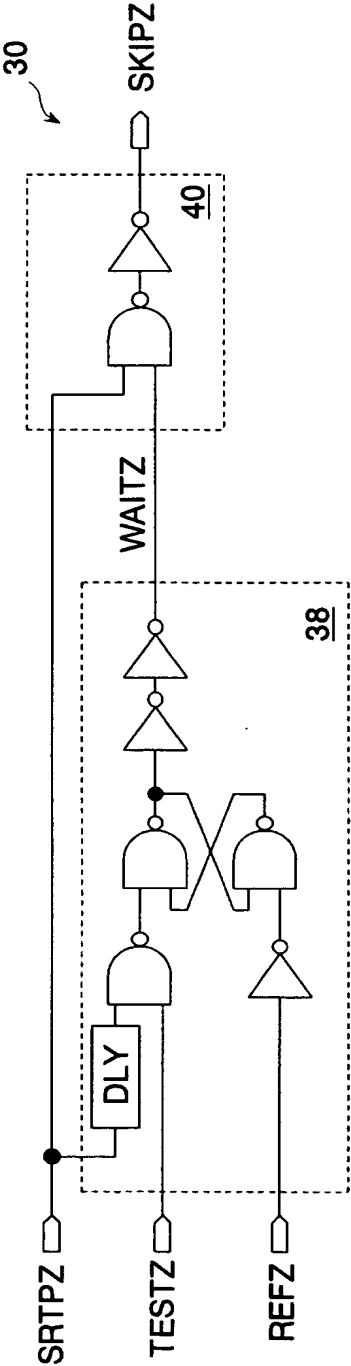
【図 1】

本発明の半導体メモリの第1の実施形態を示すブロック図



【図 2】

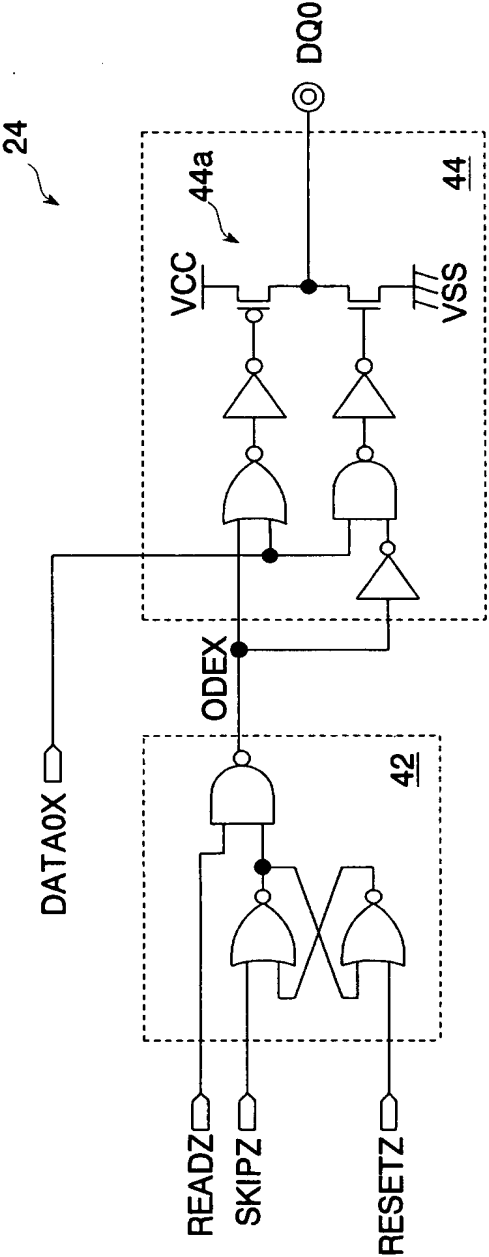
図 1 のリフレッシュ判定回路の詳細を示す回路図





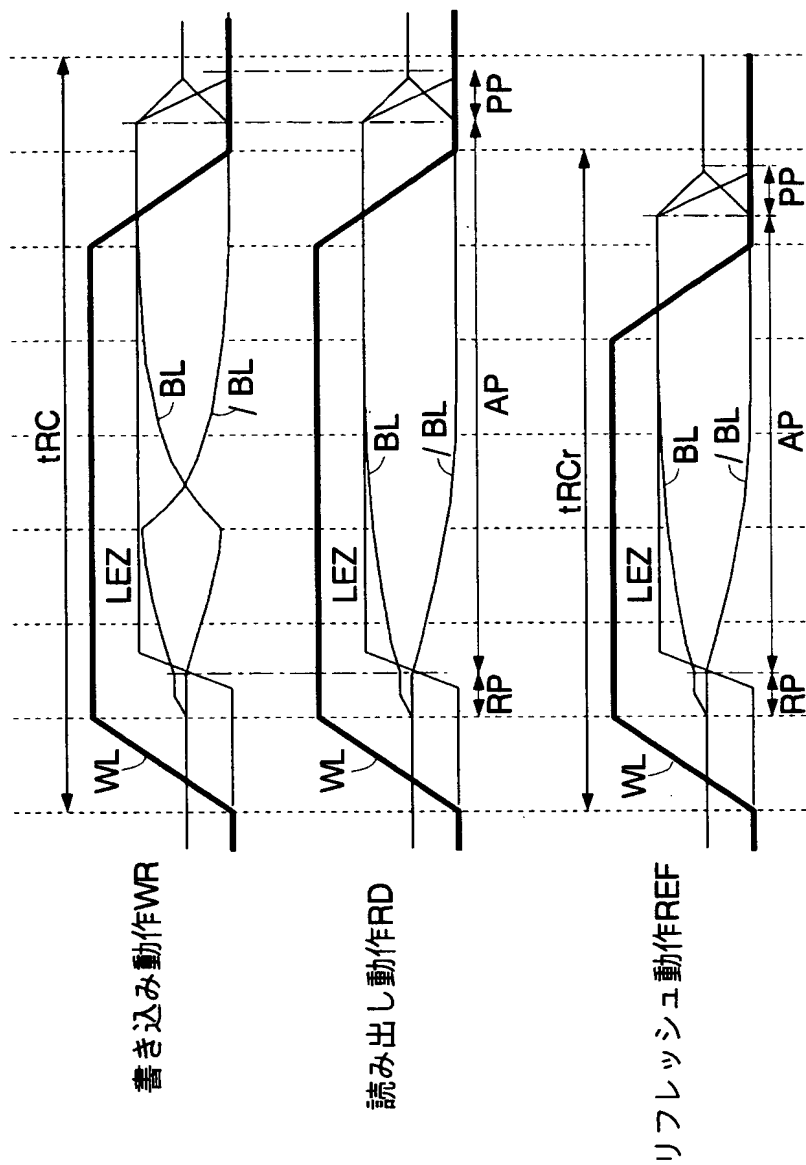
【図 3】

図 1 のデータ出力回路の詳細を示す回路図



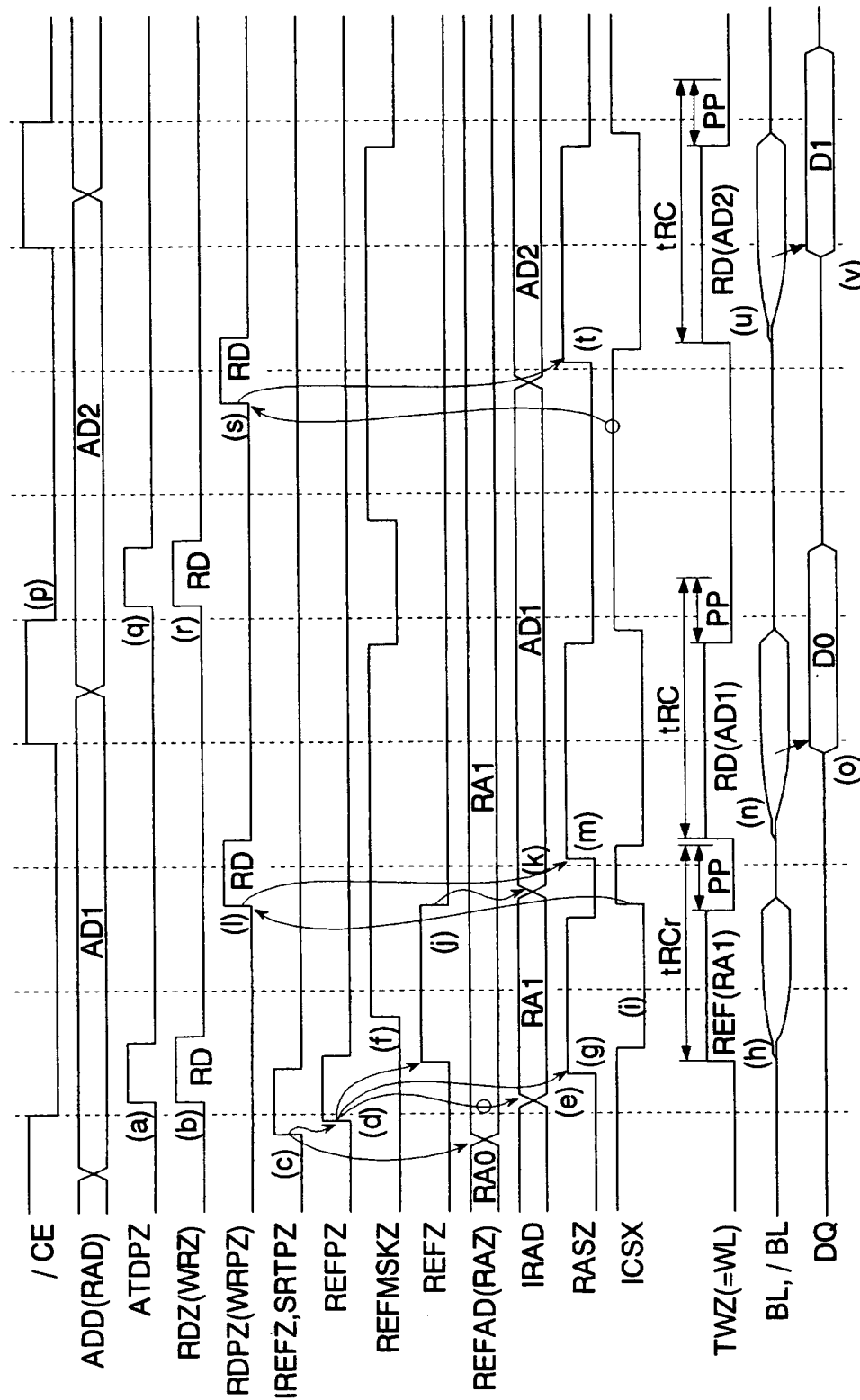
【図 4】

## 第1の実施形態におけるメモリセルアレイの基本動作を示すタイミング図



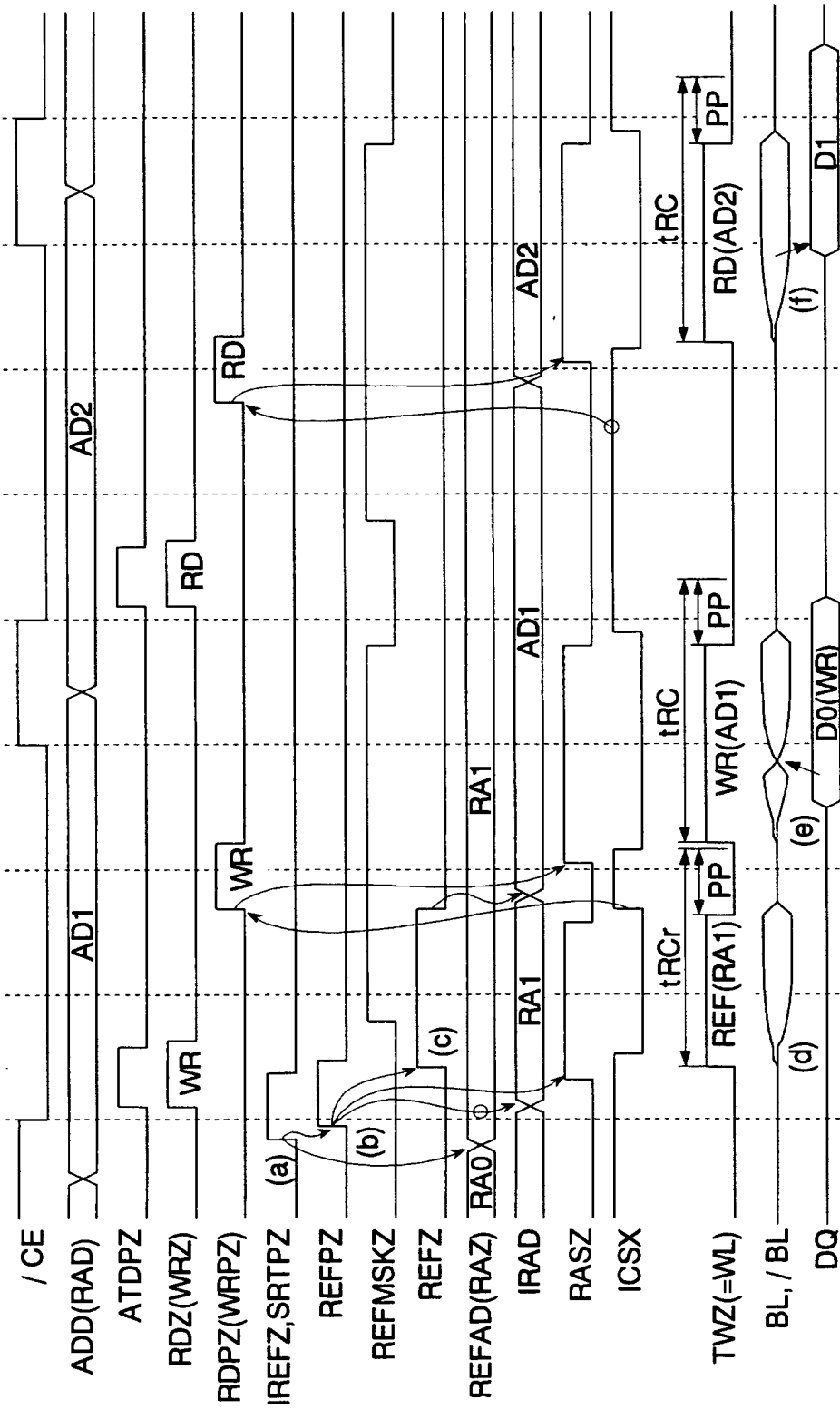
【図 5】

第 1 の実施形態における通常動作モードでの動作例を示すタイミング図



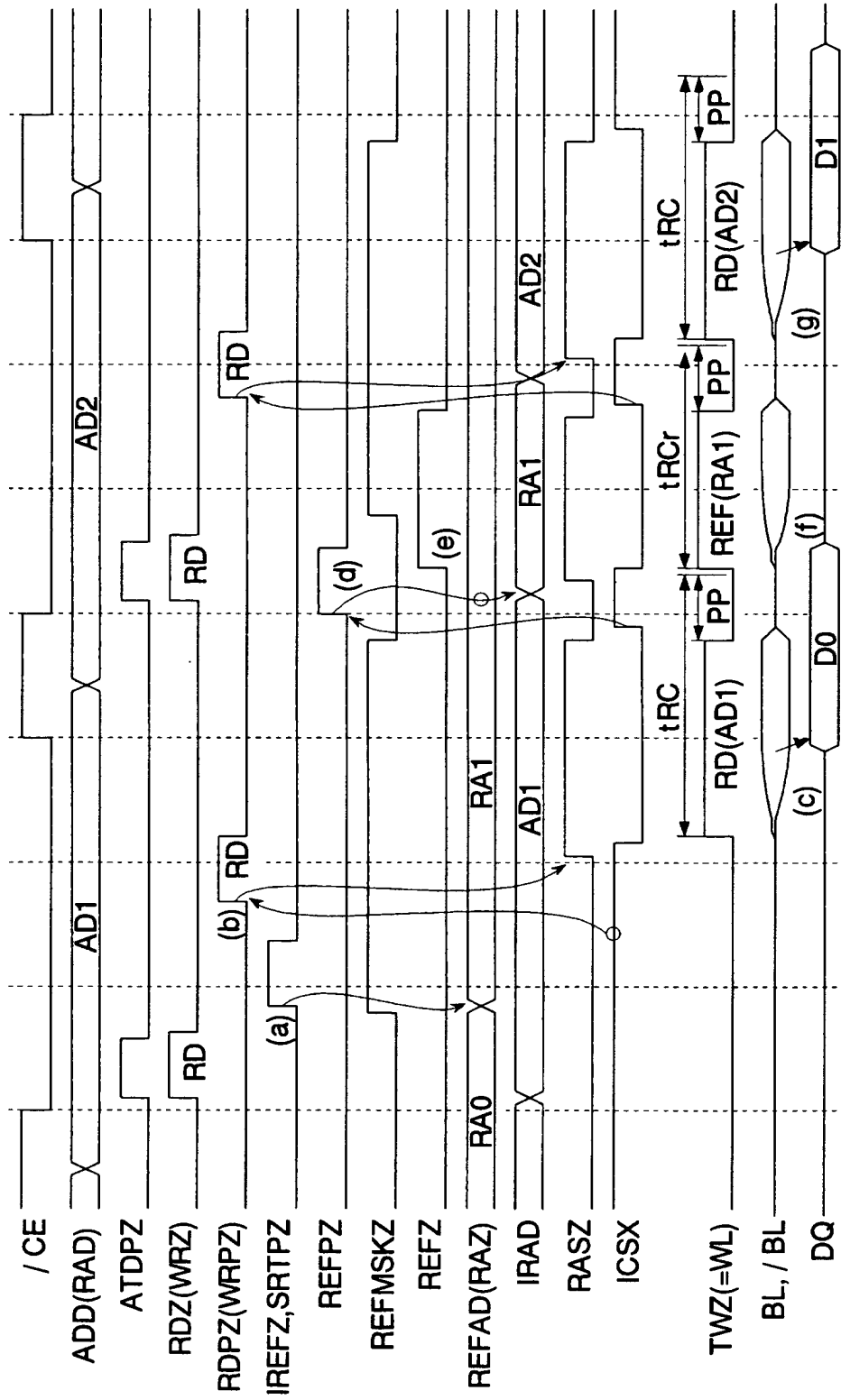
【図 6】

第 1 の実施形態における通常動作モードでの別の動作例を示すタイミング図



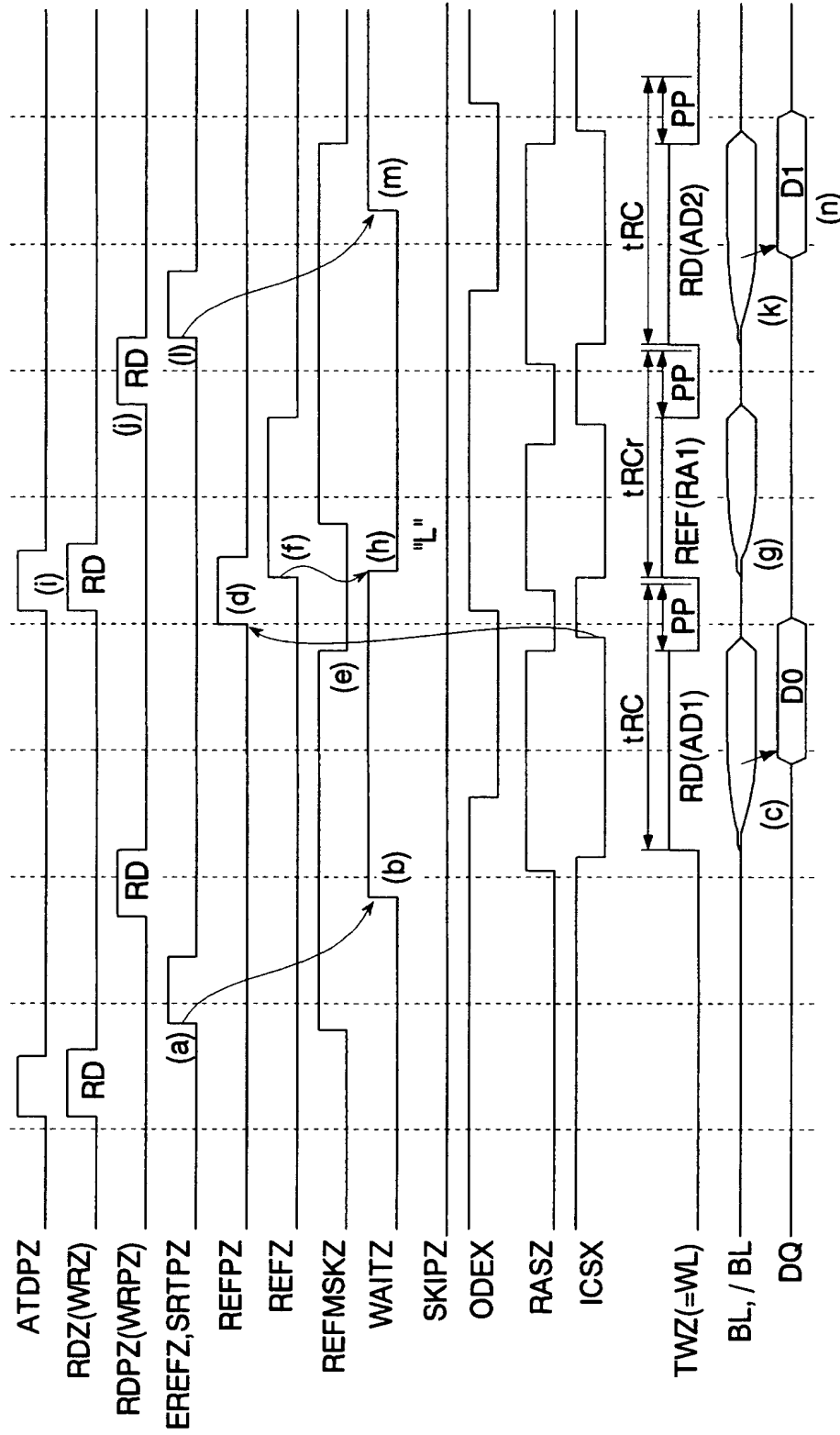
【図 7】

第 1 の実施形態における通常動作モードでの別の動作例を示すタイミング図



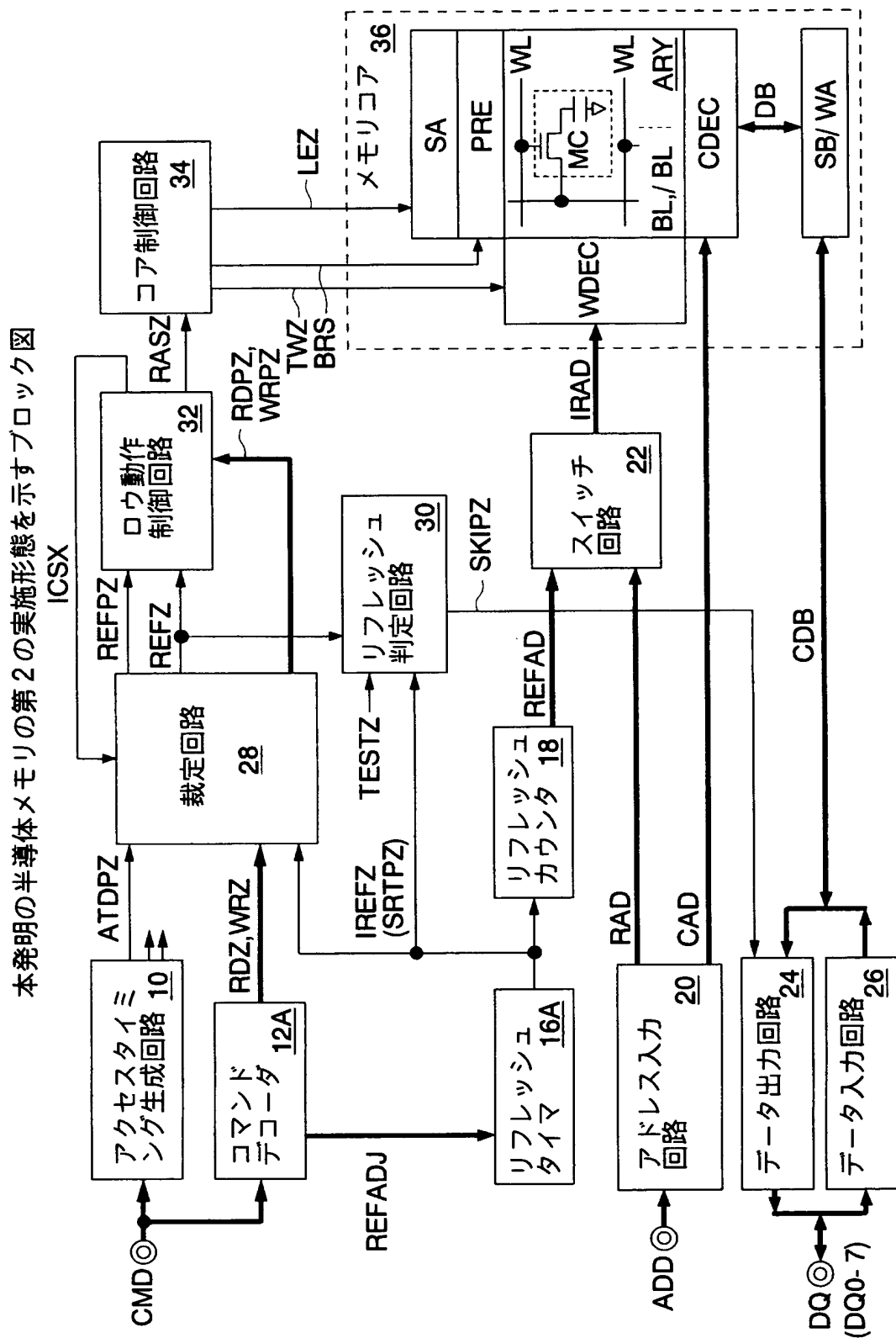
【図 8】

第 1 の実施形態における試験モードでの動作例を示すタイミング図



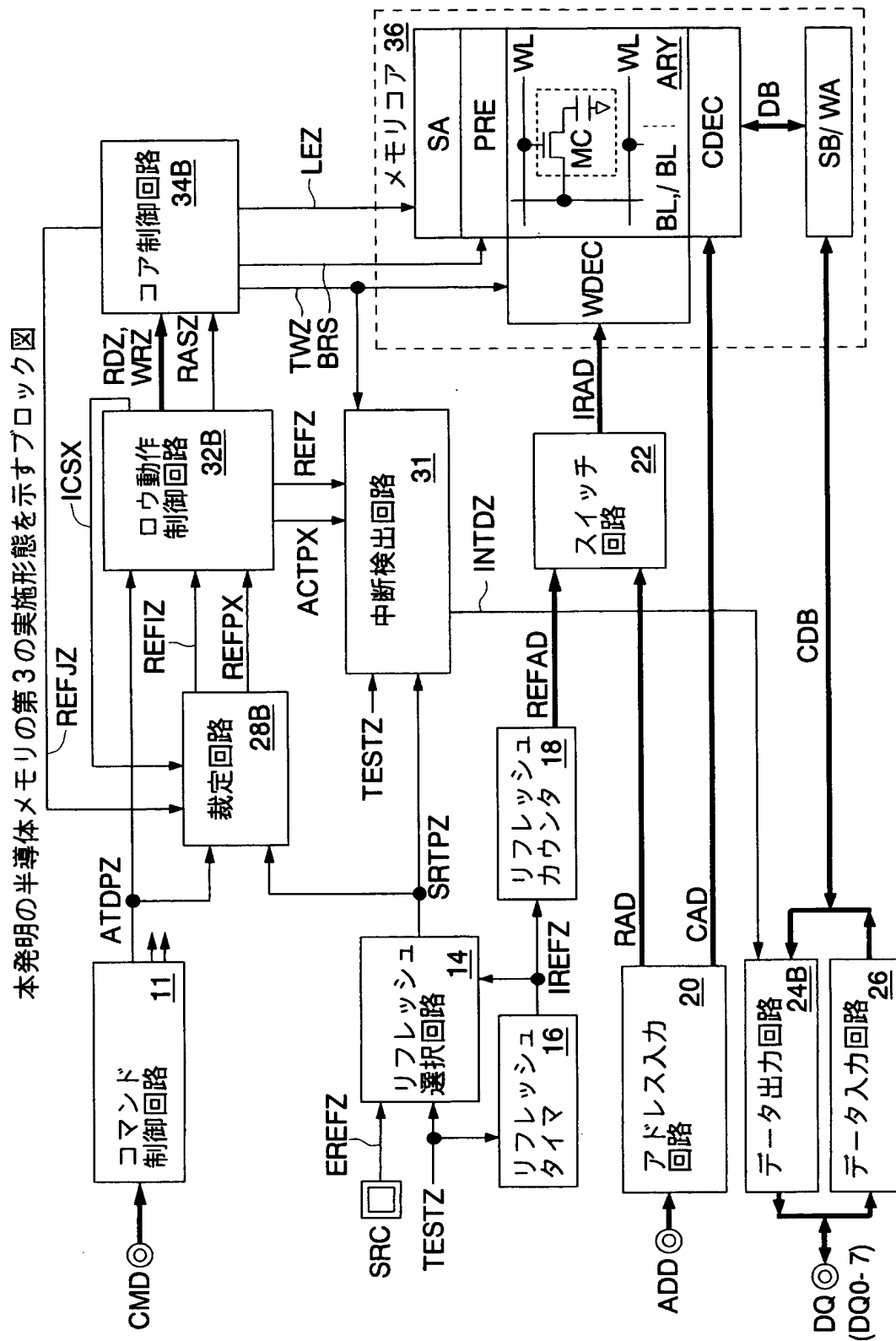


【図 10】



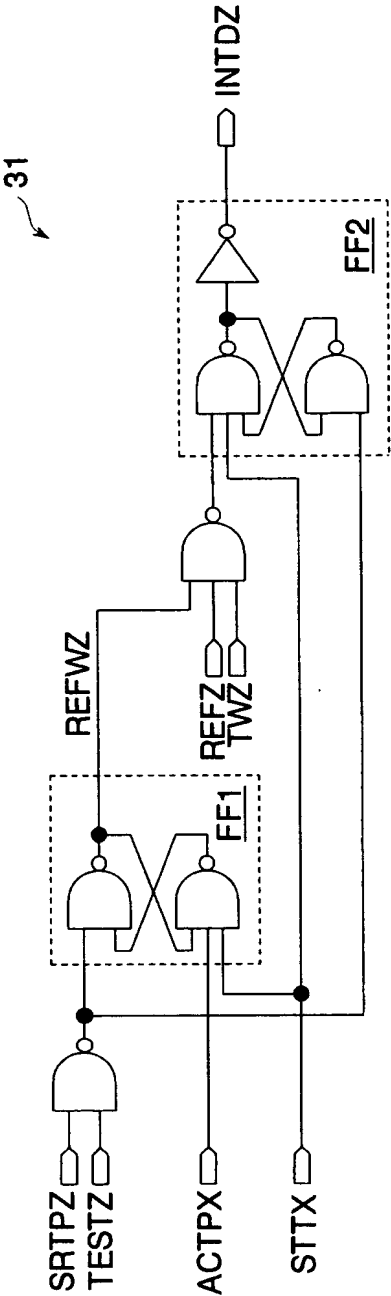


【図 1 1】



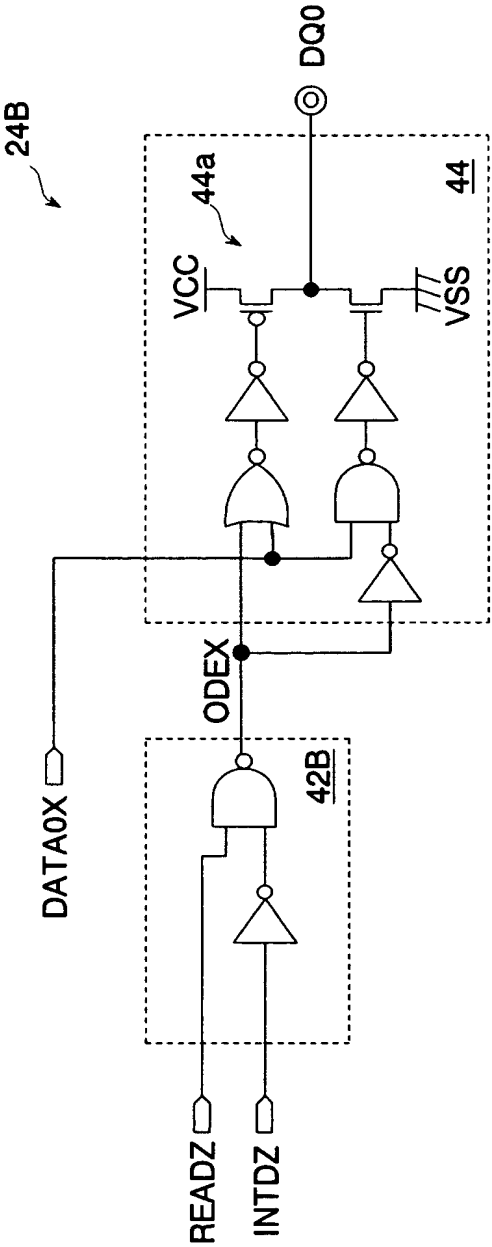
【図 1 2】

図 1 1 の中断検出回路の詳細を示す回路図



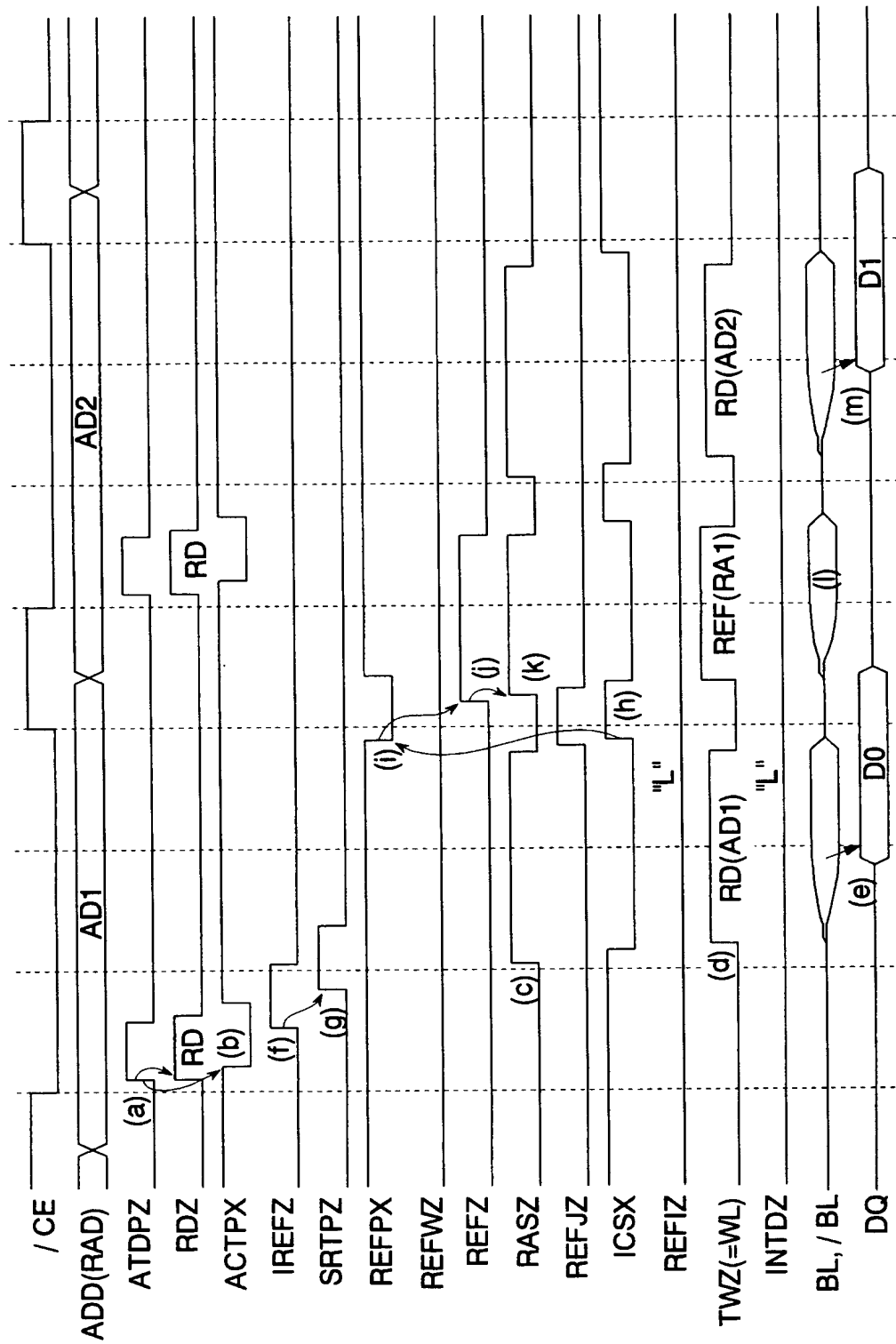
【図 1 3】

図 1 1 のデータ出力回路の詳細を示す回路図



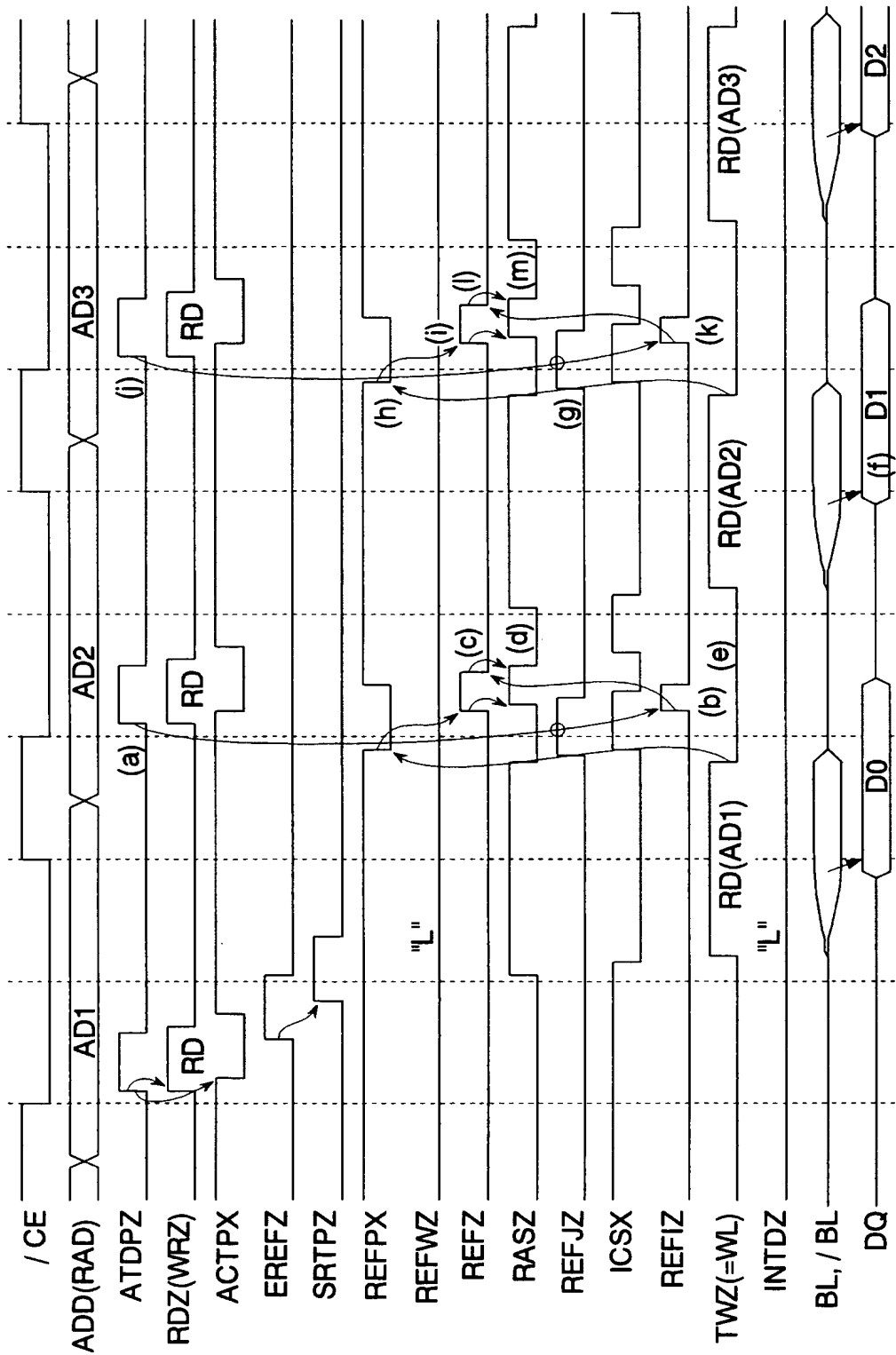
【図 14】

第3の実施形態における通常動作モードでの動作例を示すタイミング図



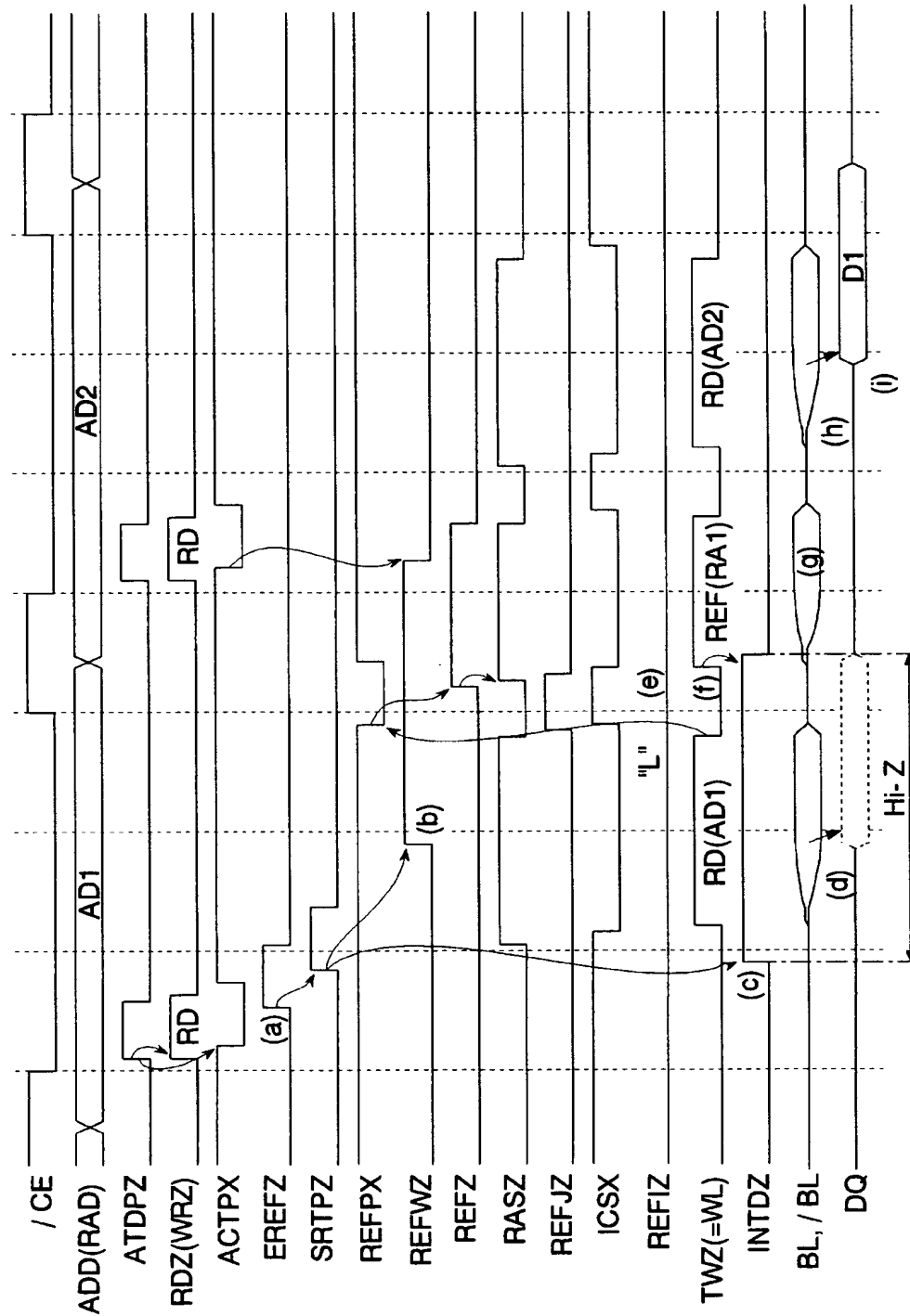
【図 15】

第3の実施形態における通常動作モードで別の動作例を示すタイミング図



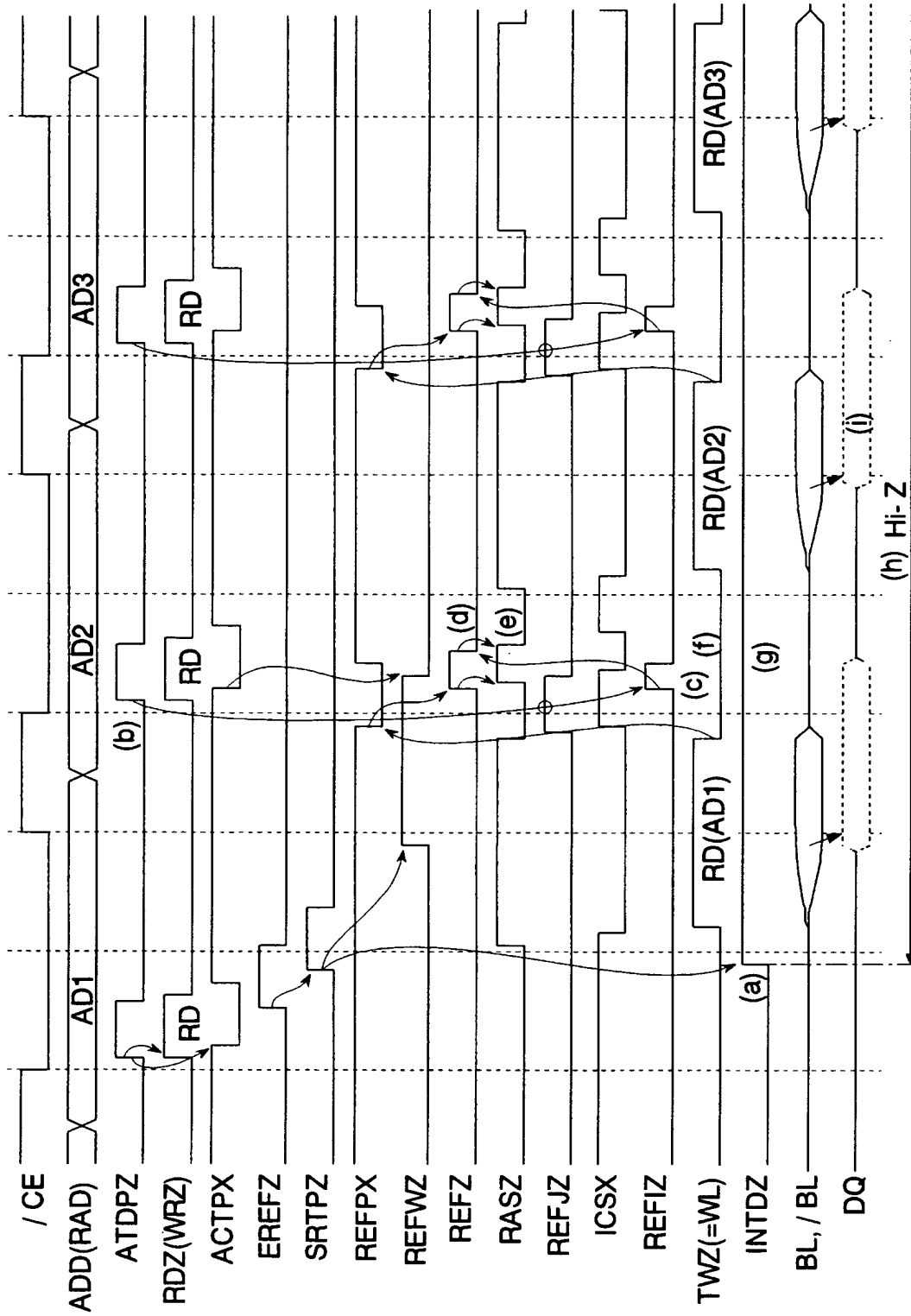
【図 16】

第3の実施形態における試験モードでの動作例を示すタイミング図



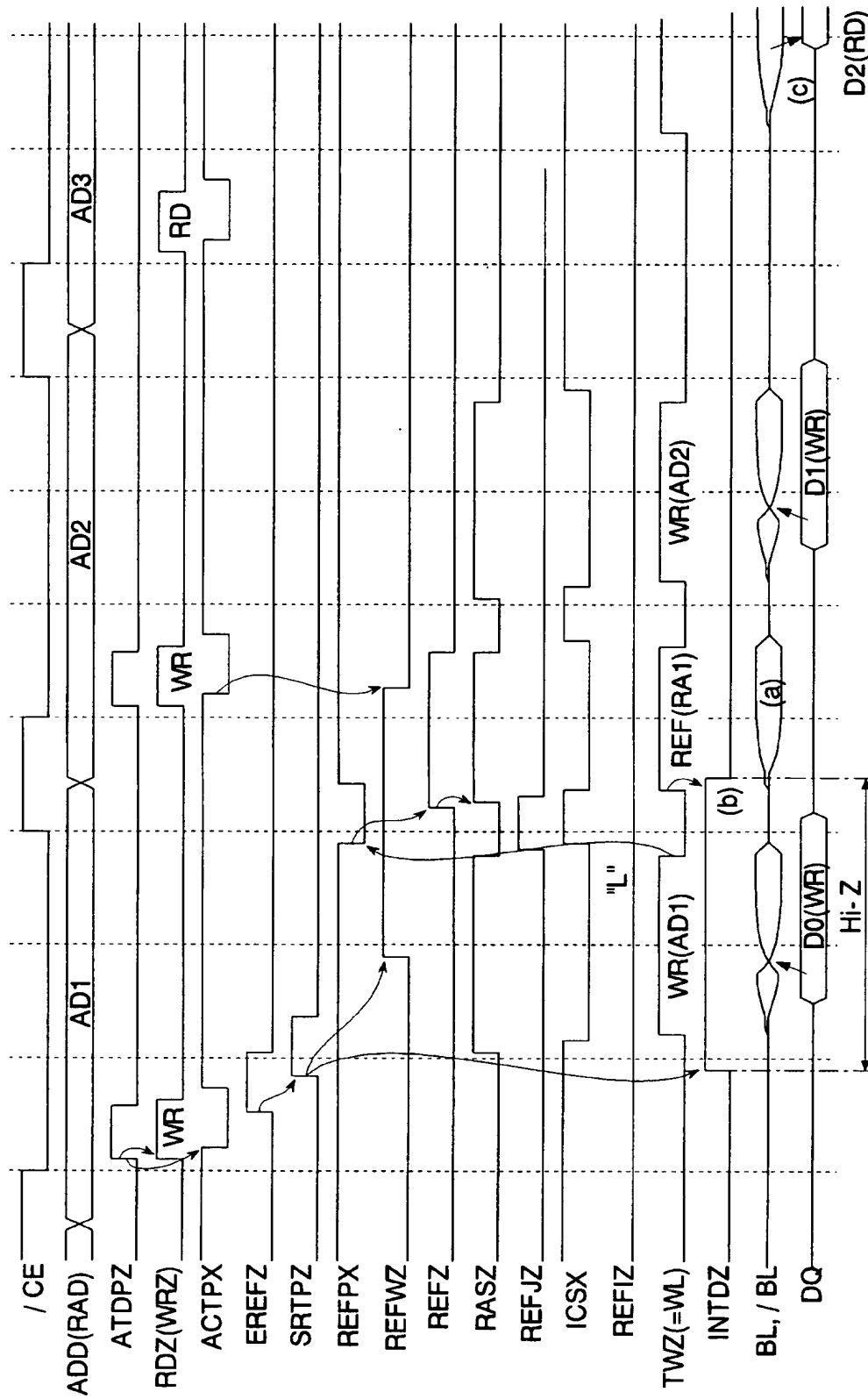
【図 17】

第3の実施形態における試験モードでの別の動作例を示すタイミング図



【図 18】

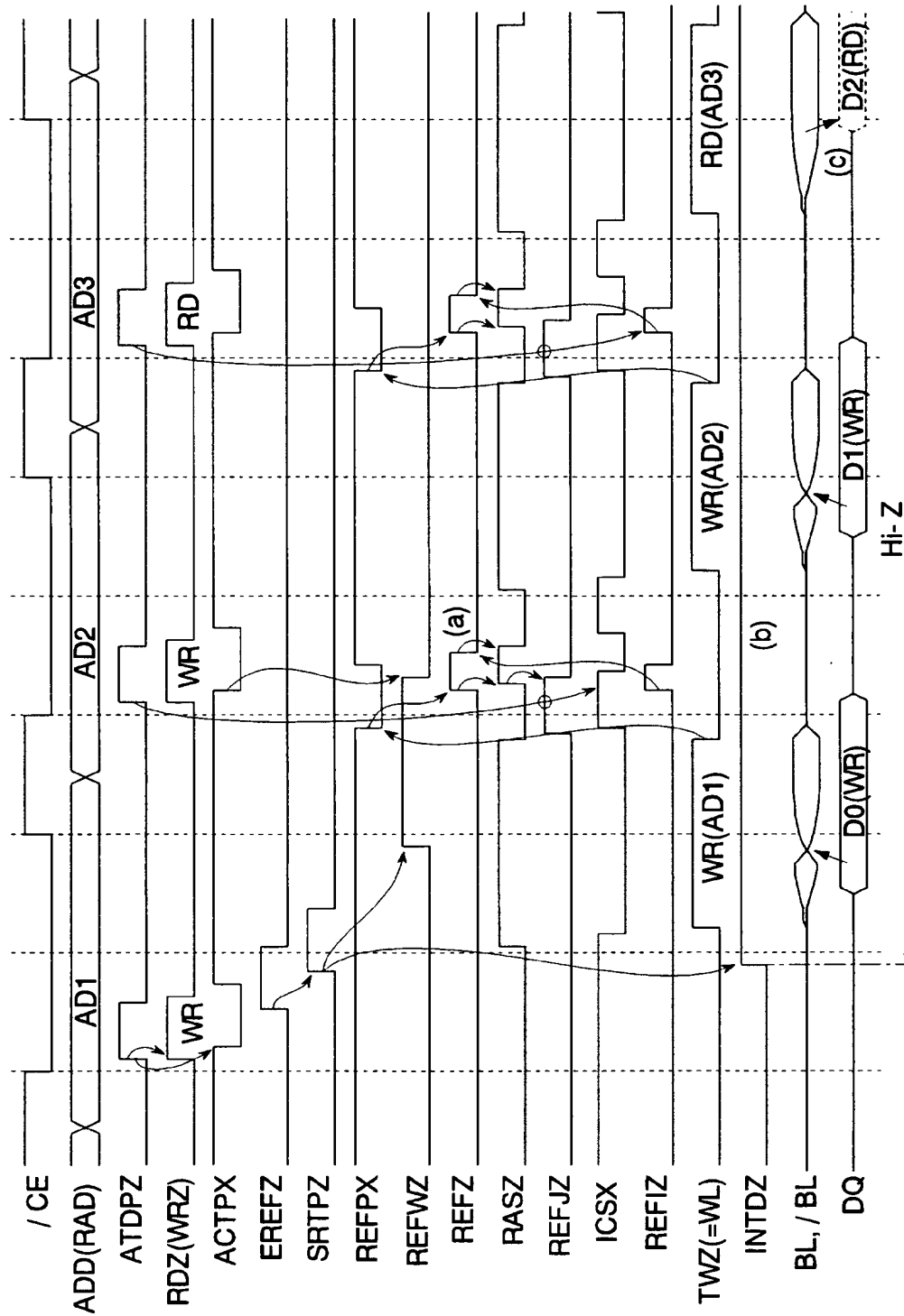
第3の実施形態における試験モードでの別の動作例を示すタイミング図





【図19】

第3の実施形態における試験モードでの別の動作例を示すタイミング図



【書類名】 要約書

【要約】

【課題】 チップ内部で自動的にリフレッシュ動作を実行する半導体メモリにおいて、チップの内部状態を評価する。

【解決手段】 半導体メモリは、リフレッシュ動作を内部で自動的に実行するために、リフレッシュタイマと、アクセス動作およびリフレッシュ動作の優先順を決める裁定回路を有している。検出回路は、試験モード中に動作し、リフレッシュ動作が実行される前に新たな内部リフレッシュ要求が発生したときに、リフレッシュ動作の未実行を示す検出信号を出力する。例えば、アクセス要求間隔が短く、アクセス動作の間にリフレッシュ動作を挿入できないときに、検出信号が出力される。すなわち、リフレッシュ動作が内部で自動的に実行される半導体メモリにおいて、アクセス要求の最小供給間隔を評価できる。この結果、評価時間を短縮でき、半導体メモリの開発期間を短縮できる。

【選択図】 図 1

特願 2 0 0 3 - 1 8 4 3 8 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社